

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月27日

出 願 番 号
Application Number:

特願2002-246774

[ST.10/C]:

[JP 2002-246774]

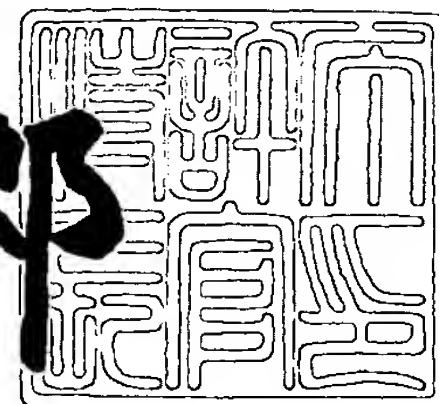
出 願 人
Applicant(s):

株式会社日立製作所
株式会社日立超エル・エス・アイ・システムズ

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011601

【書類名】 特許願

【整理番号】 H02004931

【提出日】 平成14年 8月27日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/02

【発明者】

 【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

 【氏名】 田村 隆之

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製
作所 デバイス開発センタ内

 【氏名】 高瀬 賢順

【発明者】

 【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

 【氏名】 首藤 新一

【発明者】

 【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

 【氏名】 中村 靖宏

【発明者】

 【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

 【氏名】 熊原 千明

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性記憶装置

【特許請求の範囲】

【請求項 1】 不揮発性メモリとコントローラとを有し、

前記不揮発性メモリは複数の不揮発性メモリセルを有し、それぞれの不揮発性メモリセルは n (n は 2 以上の整数) ビット以上の情報を格納可能であり、前記不揮発性メモリセルから読み出した情報を m (m は n より小さい整数) ビット情報として出力する第 1 読み出しと、前記不揮発性メモリセルから読み出した情報を n ビット情報として出力する第 2 読み出しとが可能であり、

前記コントローラは、前記不揮発性メモリから第 1 情報を読み出すときは第 1 読み出しを行い、前記不揮発性メモリから第 2 情報を読み出すときは第 2 読み出しを行うことを特徴とする不揮発性記憶装置。

【請求項 2】 前記第 1 情報は前記第 2 情報の格納領域に対する有効性を示す有効性管理情報であることを特徴とする請求項 1 記載の不揮発性記憶装置。

【請求項 3】 前記コントローラは、外部からの指示に従って不揮発性メモリを動作させるとき、第 1 読み出しを行って不揮発性メモリから読み出した有効性管理情報に基づいて前記第 2 情報の格納領域に対する有効性を判定し、有効であることを判別したとき、第 2 読み出しを行って不揮発性メモリから第 2 情報を読み出すことを特徴とする請求項 2 記載の不揮発性記憶装置。

【請求項 4】 前記コントローラは、第 1 読み出しを行って不揮発性メモリから読み出した有効性管理情報に基づいて前記第 2 情報の格納領域に対する有効性を判定し、無効であることを判別したとき、前記第 2 情報の格納領域に対する代替領域に対して第 1 読み出しを行って不揮発性メモリから読み出した有効性管理情報に基づいて前記第 2 情報の格納領域に対する有効性を判定し、有効であるとき第 2 読み出しを行って当該代替領域から第 2 情報を読み出すことを特徴とする請求項 3 記載の不揮発性記憶装置。

【請求項 5】 前記不揮発性メモリセルは、格納すべき情報に応じた 4 種類以上の閾値電圧分布のうち 1 の分布に含まれる閾値電圧を有し、

前記不揮発性メモリは、前記不揮発性メモリセルに前記第 1 情報を格納すると

き、当該不揮発性メモリセルの閾値電圧を、前記閾値電圧分布の間の所定の電圧を境界として、前記所定の電圧よりも高い電圧の閾値電圧分布の何れか又は前記所定の電圧よりも低い電圧の閾値電圧分布の何れかのどちらかに含まれる閾値電圧とすることで、前記第 1 読み出しにおいて前記所定の電圧と不揮発性メモリセルの閾値電圧との高低の比較により、mビット情報としての読み出しを行うことを特徴とする請求項 1 記載の不揮発性記憶装置。

【請求項 6】 前記第 1 情報が格納された不揮発性メモリセルの閾値電圧は、上限の閾値電圧分布の電圧と下限の閾値電圧分布の電圧から選ばれた一方の電圧であることを特徴とする請求項 5 記載の不揮発性記憶装置。

【請求項 7】 前記コントローラは、前記第 2 読み出しで不揮発性メモリから読み出された第 2 情報を外部に出力可能であり、また、前記コントローラは外部から入力された前記第 2 情報を不揮発性メモリに供給可能であり、

前記不揮発性メモリは、前記第 2 読み出しで読み出された第 2 情報をコントローラに供給する前に一時的に格納可能であって、且つ、前記コントローラから供給された第 2 情報を前記不揮発性メモリセルに格納する前に一時的に格納可能なメモリバッファ部を有することを特徴とする請求項 1 記載の不揮発性記憶装置。

【請求項 8】 前記不揮発性メモリは、前記第 1 読み出しで第 1 情報を読み出すとき前記メモリバッファ部を迂回して第 1 情報を出力することを特徴とする請求項 7 記載の不揮発性記憶装置。

【請求項 9】 前記第 1 情報は前記第 2 情報の格納領域に対する有効性を示す有効性管理情報を含むことを特徴とする請求項 8 記載の不揮発性記憶装置。

【請求項 10】 前記コントローラは、外部からの指示に従って不揮発性メモリを動作させるとき、第 1 読み出しを行って不揮発性メモリから読み出した有効性管理情報に基づいて前記第 2 情報の格納領域に対する有効性を判定し、有効であることを判別したとき、前記メモリバッファ部の第 2 情報をメモリセルに書き込むことを特徴とする請求項 9 記載の不揮発性記憶装置。

【請求項 11】 前記コントローラは、第 1 読み出しを行って不揮発性メモリから読み出した有効性管理情報に基づいて前記第 2 情報の格納領域に対する有効性を判定し、無効であることを判別したとき、前記第 2 情報の格納領域に対す

る代替領域に対して第 1 読み出しを行って不揮発性メモリから読み出した有効性管理情報に基づいて前記第 2 情報の格納領域に対する有効性を判定し、有効であるとき当該代替領域のメモリセルにメモリバッファ部の第 2 情報を書き込むことを特徴とする請求項 1 0 記載の不揮発性記憶装置。

【請求項 1 2】 前記コントローラは、外部から供給された第 2 情報を一時的に保持すると共に、不揮発性メモリから読み出されて供給された第 2 情報を一時的に保持するコントローラバッファ部を有することを特徴とする請求項 7 記載の不揮発性記憶装置。

【請求項 1 3】 前記コントローラは、コントローラバッファ部からメモリバッファ部にデータを供給した後、メモリバッファ部のデータを不揮発性メモリセルに格納させ、これに並行してコントローラバッファ部に外部からの別のデータを入力可能とすることを特徴とする請求項 1 2 記載の不揮発性記憶装置。

【請求項 1 4】 不揮発性メモリとコントローラとを有し、
前記不揮発性メモリは複数の不揮発性メモリセルを有し、それぞれの不揮発性メモリセルは 4 種類以上の情報記憶状態のうちの一種類に含まれる情報記憶状態に設定可能にされ、前記一種類の情報記憶状態が設定された前記不揮発性メモリセルから読み出した情報を m (m は 1 以上の整数) ビット情報として出力する第 1 読み出しと、前記一種類の情報記憶状態が設定された前記不揮発性メモリセルから読み出した情報を n (n は m よりも大きい整数) ビット情報として出力する第 2 読み出しとが可能であり、

前記コントローラは、前記不揮発性メモリから第 1 情報を読み出すときは第 1 読み出しを行い、前記不揮発性メモリから第 2 情報を読み出すときは第 2 読み出しを行うことを特徴とする不揮発性記憶装置。

【請求項 1 5】 前記 4 種類以上の情報記憶状態のうちの一種類に含まれる情報記憶状態は、不揮発性メモリセルの 4 種類以上の閾値電圧分布のうち 1 の分布に含まれる閾値電圧状態であることを特徴とする請求項 1 4 記載の不揮発性記憶装置。

【請求項 1 6】 前記不揮発性メモリは、前記不揮発性メモリセルに前記第 1 情報を格納するとき、当該不揮発性メモリセルの閾値電圧を、上限の前記閾値

電圧分布の電圧と下限の閾値電圧分布の電圧とから選ばれた一方の電圧とすることを特徴とする請求項 1 5 記載の不揮発性記憶装置。

【請求項 1 7】 前記不揮発性メモリは、前記第 2 読み出しで複数の不揮発性メモリセルからそれぞれ n ビット情報として読み出された第 2 情報を保持してコントローラに供給可能にすると共に、前記コントローラから供給された第 2 情報を保持して n ビット毎に 1 個の不揮発性メモリセルを 4 種類の閾値電圧分布のうち 1 の分布に含まれる閾値電圧に設定可能とするメモリバッファ部を有し、前記第 1 読み出しで複数の不揮発性メモリセルからそれぞれ m ビット情報として読み出された第 1 情報は前記メモリバッファ部を迂回して前記コントローラに出力することを特徴とする請求項 1 6 記載の不揮発性記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、不揮発性メモリとコントローラとを有する不揮発性記憶装置に関し、例えば不揮発性メモリとしてフラッシュメモリを備えたメモリカードに適用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

不揮発性メモリとして 1 個の不揮発性メモリセルに 2 ビット情報を記憶可能なものがある。特開平 1 0 - 1 0 6 2 7 6 号公報には、メモリセルに 2 ビット情報と 1 ビット情報を記憶可能な不揮発性メモリセルについて記載がある。これによれば、1 個の不揮発性メモリセルに 2 ビット情報を記憶する場合にはそれぞれの閾値電圧分布が狭くなるので、閾値電圧を設定するときパルス電圧の印加毎に変化される不揮発性メモリセルの閾値電圧の変化量を相対的に小さくする高精度書き込みモードを持ち、1 個の不揮発性メモリセルに 1 ビット情報を記憶する場合には閾値電圧を設定するときパルス電圧の印加毎に変化される不揮発性メモリセルの閾値電圧の変化量を相対的に大きくする粗い書き込みモードを持つ。パルス電圧の印加回数は粗い書き込みモードの方が少ないので、粗い書き込みモードを用いるときには書き込みベリファイ回数が少なくなり、これにより全体として書

き込み動作が高速化される。記憶密度若しくは記憶容量を優先させる場合には高精度書き込みモードを用いて1個の不揮発性メモリセルに2ビット情報を記憶する。或いは、後から1ビット情報を2ビット情報に直して不揮発性メモリセルに記憶させる。そのほかに、多値情報を記憶可能にした不揮発性メモリとしてWO 98/01861の再公表特許公報の記載がある。

【0003】

【発明が解決しようとする課題】

本願発明者はコントローラとフラッシュメモリを搭載したメモリカードについて検討した。例えば、メモリカードに搭載されるフラッシュメモリはユーザデータ領域、代替領域及び代替先登録テーブル領域等に分けられ、各領域は夫々固有の物理ブロックアドレスが割当てられてブロック分割され、各ブロック（セクタ）はデータ部とデータ部の有効性等を示す管理情報部に分けられる。ホスト装置からアクセス要求があると、コントローラはアクセス対象の物理ブロックアドレスに配置された管理情報部の管理情報をリードして、対応するデータ部の有効性を判定し、有効であればそのデータ部をアクセスし、無効であれば代替先登録テーブル領域から代替先の物理ブロックアドレスを取得し、同じくそのアドレスのデータ部の有効性を判定し、有効であればそのデータ部をアクセスする。斯様に、メモリカードに対するアクセスの高速化には前記フラッシュメモリの管理情報読出し時間を短縮させることが必要になる。

【0004】

このとき、不揮発性メモリセルに4値で情報記憶を行なっている場合、読み出しでは記憶情報の判定レベルを順次代えてメモリセル当り2ビットの情報を取得するようにされる。この読み出し処理は不揮発性メモリセルに2値で情報記憶を行なっている場合の読み出しに比べて時間がかかる。例えば、多値フラッシュメモリでは、リード時のファースト・アクセス時間（読み出しコマンド入力後、最初のデータが読み出せるまでの時間）が2値フラッシュメモリに比べ非常に大きくなる。

【0005】

これにより、ホスト装置からのリード／ライトに対して、アクセスするフラッ

シユメモリのブロックを検索する（良／不良のチェック）ために、まず管理情報を読み出す。多値フラッシュメモリでは、この管理情報を読み出すときのファースト・アクセス時間が長いので、アクセスするブロックの良／不良をチェックするための時間が長くなる。これにより、リード／ライト速度の性能向上が妨げられる。

【 0 0 0 6 】

更に本発明者は、経年変化などによるデータ化け（リテンションエラーなど）の発生について検討した。不揮発性メモリセルの閾値電圧の相違によって情報を記憶する場合、複数種類の閾値電圧分布が接近している場合には経年変化などによりデータ化けを生ずる可能性が高くなる。不揮発性メモリセルの特性を変えることなく情報記憶に用いる閾値電圧分布を離間させることができれば、所要のデータ領域に対して経年変化などによるリテンションエラー耐性の向上に役立つことが本発明者によって見出された。

【 0 0 0 7 】

更に本発明者は、フラッシュメモリへのデータ書込み時に書き込みエラーが発生した場合について検討した。この場合には代替先を検索するために不揮発性メモリセルに対するリード動作を行なわなければならない、書き込みデータが一時的に保持されているデータバッファに、リードされたデータを一時的に保持しなければならないとすると、予め書き込みデータをコントローラのバッファに退避してから代替先の検索を行なわなければならない。この場合、コントローラのバッファは該書き込みデータが待避されることを考慮して、該書き込みデータの書き込みが完了するまで次のデータの格納を行わないようにするか、若しくは該書き込みデータの待避用の領域をさらに有するかのどちらかでなくてはならず、前者の場合はホストから見た書き込みレートの低下、後者の場合はデータバッファサイズの増加によるコスト上昇を生じることとなる。

【 0 0 0 8 】

本発明の目的は、不揮発性メモリとコントローラを搭載した不揮発性記憶装置においてリード／ライト速度の性能を向上させることができる不揮発性記憶装置を提供することにある。

【 0 0 0 9 】

本発明の別の目的は、不揮発性メモリとコントローラを搭載した不揮発性記憶装置において、所要の記憶領域に対して経年変化などによるリテンションエラー耐性を向上させることができる不揮発性記憶装置を提供することにある。

【 0 0 1 0 】

本発明の更に別の目的は、不揮発性メモリとコントローラを搭載した不揮発性記憶装置において、不揮発性メモリへのデータ書込み時に書き込みエラーが発生した場合に代替先を検索するために不揮発性メモリセルに対するリード動作を行うとき不揮発性メモリのデータバッファに保持されている書き込みデータを退避することを要しない不揮発性記憶装置を提供することにある。

【 0 0 1 1 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 2 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 3 】

〔 1 〕 本発明に係る不揮発性記憶装置は、不揮発性メモリとコントローラとを有する。前記不揮発性メモリは複数の不揮発性メモリセルを有し、それぞれの不揮発性メモリセルは 4 種類以上の情報記憶状態のうちの一種類に含まれる情報記憶状態、例えば 4 種類以上の閾値電圧分布のうち 1 の分布に含まれる閾値電圧に設定可能にされ、前記閾値電圧が設定された前記不揮発性メモリセルから読み出した情報を m (m は 1 以上の整数) ビット例えば 1 ビット情報として出力する第 1 読み出しと、前記閾値電圧が設定された前記不揮発性メモリセルから読み出した情報を n (n は m よりも大きい整数) ビット例えば 2 ビット情報として出力する第 2 読み出しとが可能である。前記コントローラは、前記不揮発性メモリから第 1 情報を読み出すときは第 1 読み出しを行い、前記不揮発性メモリから第 2 情報を読み出すときは第 2 読み出しを行う。

【 0 0 1 4 】

上記した手段によれば、4種類以上の閾値電圧分布のうち1の分布に含まれる閾値電圧が設定された前記不揮発性メモリセルから読み出した情報を1ビット情報として出力する第1読み出しは、前記不揮発性メモリセルから読み出した情報を2ビット情報として出力する第2読み出しに比べ、不揮発性メモリセルの閾値電圧判定動作回数が少なくなり、その分だけ読み出し動作を高速化できる。第2読み出し対象とされる第2情報をデータ部の情報とし、第1読み出し対象とされる第1情報を前記データ部の管理情報とすれば、ホスト装置からのリード／ライト時の管理情報リード時間を短縮でき、ホスト装置によるメモリカードのような不揮発性記憶装置のリード／ライトの高速化が可能となる。

【 0 0 1 5 】

前記不揮発性メモリは、例えば、前記不揮発性メモリセルに前記第1情報を格納するとき、当該不揮発性メモリセルの閾値電圧を、上限の閾値電圧分布の電圧と下限の閾値電圧分布の電圧とから選ばれた一方の電圧とする。第1読み出しでは、上限の閾値電圧分布と下限の閾値電圧分布との間の電圧を用いてその不揮発性メモリセルの閾値電圧を判定すればよい。これによれば、情報記憶に用いる閾値電圧分布の間に情報記憶に直接用いない閾値電圧分布領域が介在されることになり、第1情報の記憶領域などのような所要の記憶領域に対して、経年変化などによるリテンションエラー耐性を向上させることができる。これにより、そのような所要の記憶領域に重要データを格納することで、情報記憶の信頼性を向上することができる。

【 0 0 1 6 】

本発明の具体的な態様として、前記不揮発性メモリは、前記第2読み出しで複数の不揮発性メモリセルからそれぞれ2ビット情報として読み出された第2情報を保持してコントローラに供給可能にすると共に、前記コントローラから供給された第2情報を保持して2ビット毎に1個の不揮発性メモリセルを4種類の閾値電圧分布のうち1の分布に含まれる閾値電圧に設定可能とするメモリバッファ部を有し、前記第1読み出しで複数の不揮発性メモリセルからそれぞれ1ビット情報として読み出された第1情報は前記メモリバッファ部を迂回して前記コントロ

ーラに出力する。

【0 0 1 7】

これによれば、1ビット情報としてリードするときは、不揮発性メモリ内のメモリバッファ部を使用しない。したがって、不揮発性メモリへのデータ書込み時に書き込みエラーが発生した場合、不揮発性メモリのメモリバッファ部に書き込みデータを保持したまま、1ビット情報としてのリード動作で代替先を検索することが可能になる。これにより、書き込みデータをメモリバッファ部からコントローラのバッファ部に退避する処理を行なう必要がなく、書き込みエラー発生時に代替領域を検索する処理を迅速に行なうことができ、しかも、コントローラのバッファ容量を抑えることができる。

【0 0 1 8】

〔2〕本発明の更に詳細な態様による不揮発性記憶装置は、不揮発性メモリとコントローラとを有する。前記不揮発性メモリは複数の不揮発性メモリセルを有し、それぞれの不揮発性メモリセルは n （ n は2以上の整数）ビット例えば2ビット以上の情報を格納可能であり、前記不揮発性メモリセルから読み出した情報を m （ m は n よりも小さい整数）ビット例えば1ビット情報として出力する第1読み出しと、前記不揮発性メモリセルから読み出した情報を2ビット情報として出力する第2読み出しとが可能である。前記コントローラは、前記不揮発性メモリから第1情報を読み出すときは第1読み出しを行い、前記不揮発性メモリから第2情報を読み出すときは第2読み出しを行う。上記した手段によれば、前記不揮発性メモリセルから読み出した情報を1ビット情報として出力する第1読み出しは、前記不揮発性メモリセルから読み出した情報を2ビット情報として出力する第2読み出しに比べ、不揮発性メモリセルの記憶情報判定動作回数が少なくなり、その分だけ読み出し動作を高速化できる。第2読み出し対象とされる第2情報をデータ部の情報とし、第1読み出し対象とされる第1情報を前記データ部の管理情報とすれば、ホスト装置からのリード／ライト時の管理情報リード時間を短縮でき、ホスト装置によるメモリカードのような不揮発性記憶装置のリード／ライトの高速化が可能となる。

【0 0 1 9】

前記第 1 情報は、例えば前記第 2 情報の格納領域に対する有効性を示す有効性管理情報を含む。

【 0 0 2 0 】

前記コントローラは、例えば外部からの指示に従って不揮発性メモリを動作させるとき、第 1 読み出しを行って不揮発性メモリから読み出した有効性管理情報に基づいて前記第 2 情報の格納領域に対する有効性を判定し、有効であることを判別したとき、第 2 読み出しを行って不揮発性メモリから第 2 情報を読み出す。

【 0 0 2 1 】

更にこのとき、前記コントローラは、第 1 読み出しを行って不揮発性メモリから読み出した有効性管理情報に基づいて前記第 2 情報の格納領域に対する有効性を判定し、無効であることを判別したとき、前記第 2 情報の格納領域に対する代替領域に対して第 1 読み出しを行って不揮発性メモリから読み出した有効性管理情報に基づいて前記第 2 情報の格納領域に対する有効性を判定し、有効であるとき第 2 読み出しを行って当該代替領域から第 2 情報を読み出す。

【 0 0 2 2 】

本発明の具体的な態様として、前記不揮発性メモリセルは、格納すべき情報に応じた 4 種類以上の閾値電圧分布のうち 1 の分布に含まれる閾値電圧を有する。前記不揮発性メモリは、前記不揮発性メモリセルに前記第 1 情報を格納するとき、当該不揮発性メモリセルの閾値電圧を、前記閾値電圧分布の間の所定の電圧を境界として、前記所定の電圧よりも高い電圧の閾値電圧分布の何れか又は前記所定の電圧よりも低い電圧の閾値電圧分布の何れかのどちらかに含まれる閾値電圧とすることで、前記第 1 読み出しにおいて前記所定の電圧と不揮発性メモリセルの閾値電圧との高低の比較により、1 ビット情報としての読み出しを行う。

【 0 0 2 3 】

望ましい態様として、前記第 1 情報が格納された不揮発性メモリセルの閾値電圧は、上限の閾値電圧分布の電圧と下限の閾値電圧分布の電圧から選ばれた一方の電圧である。上述したように、第 1 情報の記憶領域などのような所要の記憶領域に対して経年変化などによるリテンションエラー耐性を向上させることができる。

【 0 0 2 4 】

本発明の更に別の具体的な態様として、前記コントローラは、前記第 2 読み出しで不揮発性メモリから読み出された第 2 情報を外部に出力可能であり、また、前記コントローラは外部から入力された前記第 2 情報を不揮発性メモリに供給可能である。このとき前記不揮発性メモリは、前記第 2 読み出しで読み出された第 2 情報をコントローラに供給する前に一時的に格納可能であって、且つ、前記コントローラから供給された第 2 情報を前記不揮発性メモリセルに格納する前に一時的に格納可能なメモリバッファ部を有する。

【 0 0 2 5 】

前記不揮発性メモリは、前記第 1 読み出しで第 1 情報を読み出すとき前記メモリバッファ部を迂回して第 1 情報を出力する。上述した如く、書き込みエラー発生時に代替領域を検索する処理を迅速に行なうことができ、しかも、コントローラのバッファ容量を抑えることができる。

【 0 0 2 6 】

本発明の更に別の具体的な態様として、前記コントローラは、外部から供給された第 2 情報を一時的に保持すると共に、不揮発性メモリから読み出されて供給された第 2 情報を一時的に保持するコントローラバッファ部を有する。前記コントローラは、コントローラバッファ部からメモリバッファ部にデータを供給した後、メモリバッファ部のデータを不揮発性メモリセルに格納させ、これに並行してコントローラバッファ部に外部からの別のデータを入力可能とする。書き込み動作の高速化に資することができる。

【 0 0 2 7 】

【発明の実施の形態】

図 1 には本発明の一例に係るメモリカードが示される。メモリカード 1 はコントローラ 2 と不揮発性メモリ例えばフラッシュメモリ 3 がカード基板 4 に搭載され、カード基板の表面が図示を省略するケーシングや樹脂で封止されて構成される。コントローラ 2 はホストインタフェース回路 10、CPU 11、フラッシュインタフェース回路 12、ECC 回路 13、コントローラバッファ部 14 及びバッファインタフェース回路 15 を有する。

【 0 0 2 8 】

前記ホストインタフェース回路 1 0 は、図示を省略するホスト装置が発行するコマンドを受け付け、そのコマンドなどを CPU 1 1 に通知したり、CPU 1 1 の設定に従って、ホスト装置とコントローラバッファ部 1 4 との間のデータ転送を制御する。前記ホストインタフェース回路 1 0 とホスト装置との間のデータのリード／ライトのプロトコルは、ATA (AT Attachment)、SCSI (Small Computer System Interface)、その他のメモリカード専用インタフェース等、所定プロトコルであればよい。

【 0 0 2 9 】

前記 CPU 1 1 は、図示を省略するホスト装置が発行したコマンドの解析、アクセスするフラッシュメモリ 3 のアドレス計算、ホストインタフェース回路 1 0 に対するホスト間データ転送の設定、フラッシュインタフェース回路 1 2 に対するフラッシュ間データ転送の設定等を行なう。

【 0 0 3 0 】

前記フラッシュインタフェース回路 1 2 は、CPU 1 1 の指示に従って、コントローラバッファ部 1 4 とフラッシュメモリ 3 間のデータ転送を制御する。

【 0 0 3 1 】

ECC 回路 1 3 は、フラッシュメモリ 3 へのライト時に、エラー訂正符号を生成してライトデータに付加する。また、フラッシュメモリ 3 からのリード時にエラー訂正符号を用いてエラー検出を行う。リード時にエラーが発生した場合には、エラー訂正を行う。

【 0 0 3 2 】

コントローラバッファ部 1 4 はフラッシュメモリ 3 とホスト装置間のデータバッファとして機能され、ホスト装置からフラッシュメモリ 3 への書込みデータを一時的に保持し、またフラッシュメモリ 3 からホスト装置への出力データを一時的に保持する。コントローラバッファ部 1 4 は例えば SRAM (Static Random Access Memory) によって構成される。バッファインタフェース回路 1 5 はコントローラバッファ部 1 4 のリード／ライトを制御する。コントローラバッファ部 1 4 はコントローラ 2 と別チップで構成してもよい。コントローラ 2 とフラッシ

メモリ 3 とを 1 チップで構成してもよい。

【 0 0 3 3 】

前記フラッシュメモリ 3 は、メモリバッファ部 2 0、センスラッチ回路 2 1、メモリアレイ（フラッシュセルアレイ） 2 2、制御回路 2 3、セクタ 2 4、及び入出力回路 2 5 等から構成される。メモリバッファ部 2 0 は例えば S R A M に よって構成される。図示はしないが、メモリバッファ部 2 0、センスラッチ回路 2 1、及びメモリアレイ 2 2 を一つのメモリバンクとするとき、複数のメモリバンクを備えてもよい。

【 0 0 3 4 】

メモリアレイ 2 2 には代表的に示された不揮発性メモリセル MC が多数マトリクス配置される。前記不揮発性メモリセル MC は、特に制限されないが、公知のフローティングゲート型トランジスタ 1 個で 1 個のメモリセルを構成する。例えば不揮発性メモリセルは、ウェル領域に形成されたソース及びドレインと、ソースとドレインとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートによって構成される。コントロールゲートは代表的に示されたワード線 W L に、ドレインは代表的に示されたビット線 B L に、ソースは代表的に示されたソース線 S L に接続される。ビット線 B L の一端にはスタティックラッチ回路で構成されるセンスランチ S L が接続される。センスラッチ回路 2 1 はビット線毎に配置されたセンスラッチ S L のアレイを含んでいる。

【 0 0 3 5 】

前不揮発性メモリセル MC の情報記憶は、前記フローティングゲートに蓄えられた電荷量に応じてメモリセルの閾値電圧が変化することを利用する。前記不揮発性メモリセル MC は、例えば前記フローティングゲートに電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低下する。閾値電圧の設定は前記ワード線、ソース線、ビット線、基板への電圧印加状態の制御で行なわれる。その制御手法は公知であるからここでは詳細な説明は省略する。

【 0 0 3 6 】

前記不揮発性メモリセルMCは、特に制限されないが、図2に例示されるように、4種類の閾値電圧分布のうち1の分布に含まれる閾値電圧に設定可能にされる。例えば、この例では不揮発性メモリセルは1個で2ビットの情報記憶を行うことができ、記憶情報の“01, 00, 10, 11”データに対応する4種類のメモリ閾値電圧分布が決められている。すなわち、一つのメモリセルの情報記憶状態は、第4閾値電圧 (V_{th4}) 状態としての消去状態 (“11”)、第1閾値電圧 (V_{th1}) 状態としての第1の書き込み状態 (“10”)、第2閾値電圧 (V_{th2}) 状態としての第2の書き込み状態 (“00”)、第3閾値電圧 (V_{th3}) 状態としての第3の書き込み状態 (“01”) の中から選ばれる。特に制限されないが、閾値電圧は、 $V_{th4} < V_{th1} < V_{th2} < V_{th3}$ の関係を有する。全部で4通りの情報記憶状態は、2ビットのデータによって決定される状態とされる。

【0037】

上記メモリ閾値分布を得るには、特に制限されないが、最初不揮発性メモリセルを前記消去状態とする。書き込み状態を得る場合には、閾値電圧を上げるために必要な高電圧パルス等をワード線等に逐次印加していく。高電圧パルスの印加毎或は数回印加毎に、第1書き込み状態のベリファイ電圧を用いた読み出しを行なって第1書き込み状態への到達を検証する。第2書き込み状態を要する場合には第2書き込み状態のベリファイ電圧を用いて同様の検証を行ない、第3書き込み状態を要する場合には第3書き込み状態のベリファイ電圧を用いて同様の検証を行なう。

【0038】

高電圧パルス印加によって書き込み対象とされるメモリセルのビット線は例えば0V、書き込み非選択のビット線には書き込み抑止電圧1Vが印加される。ビット線に0Vの書き込み選択電圧を印加するか、1Vの書き込み抑止電圧を印加するかは、センスラッチSLがラッチする書き込み制御情報の論理値で決定される。例えばセンスラッチSLのラッチデータが論理値“1”で書き込み非選択、論理値“0”で書き込み選択となるように制御される。書き込み動作時にセンスラッチSLに“1”または“0”の何れをセットするかは、書き込みを行なうべ

き書き込み閾値電圧状態に応じて制御回路 2 3 がメモリバッファ部 2 0 上の書き込みデータに従って決定する。例えば図 3 に例示されるように、1 バイト（8 ビット）の書き込みデータ $D_8 \sim D_1 = 1\ 1\ 0\ 0\ 1\ 0\ 0\ 1$ に着目すると、 $D_8 D_4 = 1\ 1$ の 2 ビット、 $D_7 D_3 = 1\ 0$ の 2 ビット、 $D_6 D_2 = 0\ 0$ の 2 ビット、 $D_5 D_1 = 0\ 1$ の 2 ビットを一単位として夫々に対応する不揮発性メモリセルの閾値電圧を決定する。 $D_8 D_4 = 1\ 1$ にされる不揮発性メモリセルに応ずるセンスラッチ S_L は書き込み非選択の“1”にされる。 $D_7 D_3 = 1\ 0$ にされる不揮発性メモリセルに応ずるセンスラッチ S_L は前記第 1 書き込み状態が得られるまで書き込み選択の“0”にされる。 $D_6 D_2 = 0\ 0$ にされる不揮発性メモリセルに応ずるセンスラッチ S_L は前記第 2 書き込み状態が得られるまで書き込み選択の“0”にされる。 $D_5 D_1 = 0\ 1$ にされる不揮発性メモリセルに応ずるセンスラッチ S_L は前記第 3 書き込み状態が得られるまで書き込み選択の“0”にされる。この制御は制御回路 2 3 及びセンスラッチ回路 2 1 がメモリバッファ部 2 0 の書き込みデータに基づいて行なう。書き込み処理や消去処理に必要な高電圧の生成や、アクセスアドレスの生成は前記制御部 2 3 が行なう。

【 0 0 3 9 】

前記閾値電圧が設定された不揮発性メモリセルの記憶情報の読み出しは、閾値電圧が図 2 の 4 種類の閾値電圧分布の何れに属するかを判定して、不揮発性メモリセルからの読み出し情報を 2 ビット情報として出力する第 2 読み出しと、最上位の閾値電圧分布である第 3 の書き込み状態（“0 1”）又は最下位の閾値電圧分布である消去状態（“1 1”）の何れであるかを判定して、不揮発性メモリセルからの読み出し情報を 1 ビット情報として出力する第 1 読み出しとが可能にされる。4 種類の閾値電圧分布を判定する場合、図 2 の例に従えば、最初読み出しワード線電圧を V_{r1} として、2 ビットの上位側 1 ビットの 0, 1 を決定し、上位側 1 ビットが 0 のときは読み出しワード線電圧を V_{r2} として、2 ビットの下位側 1 ビットの 0, 1 を決定する。上位側 1 ビットが 1 のときは読み出しワード線電圧を V_{r3} として、2 ビットの下位側 1 ビットの 0, 1 を決定する。このようにして 2 ビットの記憶情報に対して最初に上位側 1 ビットが決定されると、当該上位側 1 ビットはセンスラッチ S_L からメモリバッファ部 2 0 の対応する記憶

素子に退避され、次の下位側 1 ビットの判定結果がセンスラッチ S L に得られる。この下位側 1 ビットの判定結果も同じくセンスラッチ S L からメモリバッファ部 2 0 の対応する記憶素子に転送され、メモリバッファ部 2 0 からその読み出し情報がコントローラ 2 に出力される。

【 0 0 4 0 】

不揮発性メモリセルからの読み出し情報を 1 ビット情報として出力する第 1 読み出しの場合には、図 2 の例に従えば、読み出しワード線電圧を例えば V_{r3} として、当該記憶情報の 0, 1 の判定結果がセンスラッチ S L にラッチされる。センスラッチ S L にラッチされた判定値は読み出そうとする記憶情報そのものであるからメモリバッファ部 2 0 への退避を要せず、セクタ 2 4 を介して入出力回路 2 5 からコントローラ 2 に供給することが可能になる。

【 0 0 4 1 】

前記フラッシュメモリアレイ 2 2 に対する消去、書き込み及び読み出しの制御は、コントローラ 2 から与えられるコマンドに基づいて前記制御部 2 3 が行なう。コマンドには動作を指示するコマンドコード、アクセス対象を指示するためのアクセスアドレス、書込み動作の指示に付随する書込みデータなどを含んでいる。

【 0 0 4 2 】

特に制限されないが、前記コマンドによって指示されるメモリ動作は、外部からメモリバッファ部 2 0 へ書き込みデータを転送する動作、メモリバッファ部 2 0 が保有する書込みデータをメモリアレイ 2 2 の不揮発性メモリセルに書き込む動作、第 2 読み出しのために不揮発性メモリセルからデータを読み出してメモリバッファ部 2 0 に保持させる、メモリバッファ部 2 0 に保持されているデータを外部に出力する第 2 出力動作、第 1 読み出しのために不揮発性メモリセルからデータを読み出して外部に出力する第 1 出力動作等とされる。各動作におけるアクセス対象アドレスはコマンドで指示されるが、アクセス単位が大きい場合にはアクセス単位の先頭アドレスが与えられ、後続アドレスを制御回路 2 3 内部のアドレスカウンタで自動生成すればよい。尚、フラッシュメモリ 3 のその他の詳細な構成については本出願人による先の P C T / J P 0 2 / 0 3 4 1 7 の国際出願に

記載が有る。

【 0 0 4 3 】

図 4 にはメモリカード 1 のフラッシュメモリ 3 に対するライト動作の一例が示される。図 4 において、第 2 読み出し対象データは、ホスト装置がメモリカード 1 に書き込むデータである。また、第 1 読み出し対象データは、ホスト装置がメモリカード 1 に書き込むデータをコントローラ 2 が管理するためのデータである。ホスト装置からコントローラバッファ部 1 4 に例えば書き込みデータ “1 0 1 0 _ 0 1 0 1 _ 0 1 0 1 _ 1 0 1 0” が転送される。転送された書き込みデータは、ここでは第 2 読み出し対象データである。書き込みデータが第 2 読み出し対象データであるとき、コントローラ 2 はそのまま書き込みデータ “1 0 1 0 _ 0 1 0 1 _ 0 1 0 1 _ 1 0 1 0” をメモリバッファ部 2 0 に供給する。次にコントローラ 2 はフラッシュメモリ 3 に、メモリバッファ部 2 0 の書き込みデータによってメモリアレイ 2 2 の記憶情報を書換える指示を与える。これにより書き換え対象の不揮発性メモリセルには、上述の如く、書き込みデータにしたがって 2 ビットを一単位に 4 種類の閾値電圧分布のうちの 1 の分布に含まれる閾値電圧が設定される。次に、コントローラ 2 が、ホスト装置がメモリカード 1 に書き込むデータを管理するために、“1 0 1 0 _ 0 1 0 1” を第 1 読み出し対象データとしてフラッシュメモリ 3 に書き込む場合について説明する。第 1 読み出し対象データ “1 0 1 0 _ 0 1 0 1” は、CPU 1 1 がコントローラバッファ部 1 4 に書き込んだデータである。書き込みデータが第 1 読み出し対象データであるとき、コントローラ 2 は、書き込みデータを 4 ビット毎に区切り、その下位側に 4 ビットのマスクデータ “1 1 1 1” を付加し、これを書き込みデータ “1 0 1 0 _ 1 1 1 1 _ 0 1 0 1 _ 1 1 1 1” としてメモリバッファ部 2 0 に供給する。次にコントローラ 2 はフラッシュメモリ 3 に、メモリバッファ部 2 0 の書き込みデータによってメモリアレイ 2 2 の記憶情報を書換える指示を与える。これにより書き換え対象の不揮発性メモリセルには、上述の如く、書き込みデータにしたがって 2 ビットを一単位に 4 種類の閾値電圧分布のうちの 1 の分布に含まれる閾値電圧が設定される。書き込みデータの 4 ビット毎にその下位側に 4 ビットのマスクデータ “1 1 1 1” が付加されることにより、2 ビットを一単位に、4 種類の閾値電圧分布のうち最上

位の閾値電圧分布である第3の書き込み状態（“0 1”）又は最下位の閾値電圧分布である消去状態（“1 1”）の分布に含まれる閾値電圧が設定される。

【0 0 4 4】

このように、第1読み出し対象データを書き込むときは、4種類の閾値電圧分布のうち、“1 1”（消去状態とされる最上位レベルの閾値電圧分布）と“0 1”（書き上げ状態となる最下位レベルの閾値電圧分布）を使用する。これにより、第1読み出し対象データは、ディスターブやリテンションによって、不揮発性メモリセルの閾値電圧が変化しても、閾値電圧が隣の分布に移動するだけならば、データ化けを生ぜず、情報記憶の信頼性が向上する。

【0 0 4 5】

図5にはメモリカード1のフラッシュメモリ3に対するリード動作の一例が示される。ホスト装置がメモリカード1からデータを読み出すとき、コントローラ2は、第1読み出しによって、ホスト装置が読み出すデータの管理データをフラッシュメモリ3から読み出し、その後、コントローラ2は、第2読み出しによって、ホスト装置が読み出すデータをフラッシュメモリ3から読み出す。第1読み出しの場合にはコントローラ2はコマンドにて制御回路23に第1読み出しを指示する。この場合、例えば読み出し対象メモリセルの記憶情報が“1 0 1 0 _ 1 1 1 _ 0 1 0 1 _ 1 1 1 1”のとき、前記第1読み出しの場合の1回の閾値電圧判定動作によって、センスラッチSLに読み出しデータ“1 0 1 0 _ 0 1 0 1”を得ることができる。センスラッチSLに得られた読み出しデータ“1 0 1 0 _ 0 1 0 1”はセレクタ24で選択されたメモリバッファ部20の迂回経路を介してコントローラバッファ部14に転送され、CPU11によって読み出される。第2読み出しの場合にはコントローラ2はコマンドにて制御回路23に第2読み出しを指示する。この場合、例えば読み出し対象メモリセルの記憶情報が“1 0 1 0 _ 0 1 0 1 _ 0 1 0 1 _ 1 0 1 0”のとき、前記第2読み出しの場合の2回に分けた閾値電圧判定動作の結果がメモリバッファ部20に得られ、メモリバッファ部20に格納されたリードデータがコントローラバッファ部14に転送され、その記憶情報はそのままデータ“1 0 1 0 _ 0 1 0 1 _ 0 1 0 1 _ 1 0 1 0”としてホスト装置に出力される。図5においてPA1は第1読み出しの読み出

し経路、P A 2 は第 2 読み出しの読み出し経路を意味する。

【 0 0 4 6 】

図 6 にはメモリアレイ 2 2 のデータ領域の構成が例示される。ここに示す例はファイル構造を実現する場合である。特に制限されないが、セクタデータは 5 1 2 バイトのデータである。各セクタデータに対して E C C コードが付加されている。2 個のセクタデータに対して、一つの管理情報を持つ。一つのブロック B L K は、2 個のセクタデータ領域（データ部）とデータ部の管理情報を格納する管理領域から構成される。特に制限されないが、消去または書き込みはブロック単位で行なわれる。すなわち、一つのブロックに含まれる複数個の不揮発性メモリセルはソース線が共通化され、またワード線が共通化されている。この例では、消去と書き込み単位が同一であるが、消去単位が書き込み単位よりも大きい場合もある。

【 0 0 4 7 】

P B A は物理ブロックアドレス (Physical Block Address) である。この例のフラッシュメモリは、1 2 8 個のブロックから構成されている。P B A の 0 ~ 9 9 はユーザデータ領域 3 0 である。これはホスト装置がライトしたデータを書き込む領域である。P B A の 1 0 0 ~ 1 2 5 は代替領域 3 1 である。これは不良となったブロックを代替する場所である。P B A が 1 2 6 のブロック（システムデータ領域）3 2 にはシステムデータを格納する。システムデータは、例えば、メモリカードの I D 又はメモリカード固有の I D 番号等の情報である。P B A が 1 2 7 のブロックは、代替領域に代替されたブロックの情報がテーブルとして格納されている領域（代替先登録テーブル）3 3 である。この例では、ユーザデータ領域が 1 0 0 ブロック（P B A = 0 ~ 9 9）あるので、代替先登録テーブルは各ブロックに 1 バイトずつ代替先指定領域を割当てて合計 1 0 0 バイトで構成される。例えば、図 7 に例示されるように、順次先頭から P B A 1 の代替先指定領域、P B A 2 の代替先指定領域のように順番に割当てられる。代替不要の場合には 2 5 5 のコード番号が格納される。図 7 の例では P B A = 1 と P B A = 5 0 が不良であるので、代替先登録テーブルの P B A = 1 の個所にはコード番号 1 0 0 が格納され、P B A = 5 0 の個所にはコード番号 1 0 1 が格納されている。つまり

、PBA=1はPBA=100に、PBA=50はPBA=101に代替されていることを示している。

【0048】

管理情報は、図8に例示されるように、良ブロック（正常にメモリ動作可能なブロック）であることを示す良コード（固定値）、ブロックを識別するための識別コード、ホストの論理ブロックアドレス（Logical Block Address：LBA）、その他の情報、そしてECCから構成されている。良コード以外のデータの場合は、そのブロックは不良であることを示しており、他のデータは無効となる。前記識別コードは、ブロックがユーザデータブロック、代替ブロック、空きブロック、システムブロック、代替先登録テーブルブロックの何れであることを示している。

【0049】

図6のメモリアレイにおいて、第1読み出し対象とされる領域は、管理情報領域、システムデータ領域とされる。この第1読み出し対象とされる領域に格納される情報が第1情報である。その他の領域は第2読み出し対象領域とされる。第2読み出し対象とされる領域に格納される情報が第2情報である。管理情報領域を第1読み出し対象領域とすることによりファースト・アクセスの高速化に資する。システムデータ領域を第1読み出し対象領域とすることによりメモリカードが動作する上で非常に重要なデータが格納されるという性質上、そのような重要データの情報記憶の信頼性向上に資する。

【0050】

図9にはホスト・リードの指示に応答するメモリカード1のリード動作のフローチャートが例示される。ホスト装置によるデータのリード動作（ホスト・リード）が指示されると、コントローラ2は、ホスト装置からの論理ブロックアドレスをフラッシュメモリ3の物理ブロックアドレスに変換し（S1）、その物理ブロックアドレスの管理情報をフラッシュメモリ3から読み出す（S2）。この読み出しは前記第1読み出しとされる。コントローラ2は管理情報の良コードをチェックし（S3）、良コードでなければ、代替先登録テーブルをリードし（S4）、其れによって示される代替先PBAの管理情報をリードし（S5）、その管

理情報をチェックする（S 6）。この時の管理情報のリードは第 1 読み出しで行なわれる。これによっても良コードを得られないときはエラー終了とされる。S 6 のチェック結果が良コードであれば、今度は管理情報が保有する L B A をチェックし（S 7）、正常であれば代替先の P B A からデータを読み出す（S 8, S 9）。この読み出しデータの出力は第 2 読み出しで行なわれる。コントローラ 2 は読み出しデータに対して E C C チェックを行ない（S 1 0）、訂正不可能なエラーがあればエラー終了、訂正不能なエラーが無ければ、コントローラ 2 はホスト装置にコントローラバッファ部 1 4 からの読み出しレディー状態を通知し（S 1 1）、ホスト装置による読み出し完了を待ち（S 1 2）、読み出し完了後、ホスト装置が必要な全部のデータ読み出しを終了したかを判別し（S 1 3）、終了していれば正常終了され、全読み出し終了していなければステップ S 1 に戻って次のデータをフラッシュメモリ 3 から読み出す操作を再開する。

【 0 0 5 1 】

ホスト・リードにおいて管理情報リードは必ず発生するので、管理情報リード時間を第 1 読み出しによって短縮することができ、これによってホスト・リードの高速化が可能になる。

【 0 0 5 2 】

図 1 0 及図 1 1 にはホスト・ライトの指示に応答するメモリカード 1 のライト動作のフローチャートが例示される。ホスト装置によるデータのライト動作（ホスト・ライト）が指示されると、コントローラ 2 は、ホスト装置から供給される書き込みデータをコントローラバッファ部 1 4 に格納する（S 2 1）。次に、ホスト装置からの論理ブロックアドレスをフラッシュメモリ 3 の物理ブロックアドレスに変換し（S 2 2）、その物理ブロックアドレスの管理情報をフラッシュメモリ 3 から読み出す（S 2 3）。この読み出しは前記第 1 読み出しとされる。コントローラ 2 は管理情報の良コードをチェックし（S 2 4）、良コードでなければ、代替先登録テーブルをリードし（S 2 5）、其れによって示される代替先 P B A の管理情報をリードし（S 2 6）、その管理情報をチェックする（S 2 7）。この時の管理情報のリードは第 1 読み出しで行なわれる。これによっても良コードを得られないときはエラー終了とされる。S 2 7 のチェック結果が良コード

であれば、今度は管理情報が保有する L B A をチェックし (S 2 8) 、正常であれば代替先の P B A の消去処理を行なう (S 2 9 , S 3 0) 。消去結果が判定され (S 3 1) 、消去エラーを生じた場合には代替先検索処理 R 1 が行なわれ、代替先の有無が判別される (S 2 1) 。代替先が無ければエラー終了とされる。代替先がある場合、 S 3 1 で消去正常終了が判別されたときは、ホスト装置からの書き込みデータの供給が終了するのを待って (S 3 3) 、コントローラバッファ部 1 4 からフラッシュメモリ 3 のメモリバッファ部 2 0 への書き込みデータの転送が行なわれる (S 3 4 , S 3 5) 。データ転送終了後、フラッシュメモリ 3 のメモリバッファ部 2 0 から P B A へのデータ書き込みが行なわれる (S 3 6) 。書き込み終了が判別され (S 3 7) 、書き込み結果が判別される (S 3 8) 。書き込みエラーがある場合には代替処理 (R 2) が行なわれ、代替結果が判別され (S 3 9) 、代替を行なうことができないならばエラー終了し、代替可能であったなら、ホスト装置が要求する全データのライト終了が判別される (S 4 0) 。全データのライトが終了されたときは正常終了され、全データのライトが終了されていなければステップ S 2 2 の戻って残りの書き込みを継続する。

【 0 0 5 3 】

ホスト・ライトにおいて管理情報リードは必ず発生するので、管理情報リード時間を第 1 読み出しによって短縮することができ、これによってホスト・ライトの高速化が可能になる。

【 0 0 5 4 】

図 1 2 にはフラッシュメモリ 3 のリード動作タイミングが例示される。 I / O x はアドレス入力、データ入出力、及びコマンド入力に兼用される外部入出力端子、 C L E はコマンドラッチイネーブル信号、 A L E はアドレスラッチイネーブル信号 A L E 、 C E b はチップイネーブル信号、 R E b はリードイネーブル信号、 W E b はライトイネーブル信号、 R / B b はレディー・ビジー信号であり、前記入出力回路 2 5 を介してコントローラ 2 とインタフェースされる。チップイネーブル信号 C E b はフラッシュメモリ 2 にチップ選択状態を示し、リードイネーブル信号 R E b は外部入出力端子 I / O x からのリード動作を指示し、ライトイネーブル信号 W E b は外部入出力端子 I / O x からのライト動作を指示する。コ

マンドラッチイネーブル信号 C L E は外部から外部入出力端子 I / O x にコマンドが供給されることを意味し、アドレスラッチイネーブル信号 A L E は外部から外部入出力端子 I / O x にアドレス信号が供給されることを意味する。レディー・ビジー信号 R / B b はフラッシュメモリアレイ 2 2 に対して消去、書き込み、または読み出し動作中であること（ビジー状態）をローレベルによって示す。0 0 h はアドレス設定コマンドコード、C A はカラムアドレス、R A はロウアドレス、3 0 h は第 2 読み出しによるリード開始コマンドコードである。リード開始コマンドコード 3 0 h が供給されると、メモリアレイからのデータ D o u t の読み出し動作が開始される。第 1 読み出しによるリード開始コマンドコードは 3 1 h とされる。

【 0 0 5 5 】

図 1 3 にはフラッシュメモリ 3 のライト動作タイミングが例示される。8 0 h はアドレス設定コマンドコード、C A はカラムアドレス、R A はロウアドレス、D i n は書き込みデータ、4 0 h は書き込み開始コマンドコードである。書き込み開始コマンドコード 4 0 h が供給されると、メモリアレイ 2 2 にデータ D i n が書き込まれる。フラッシュメモリ 3 においてフラッシュ書き込み動作は第 1 読み出し対象領域と第 2 読み出し対象領域とで変わらない。第 1 読み出し対象領域に対する書き込みでは、コントローラ 2 側で、書き込みデータに対する前記マスクデータの付加が完了されている。

【 0 0 5 6 】

図 1 4 には前記代替検索処理 R 1 の一例が示される。まず、検索パラメータ i に代替領域の先頭アドレスを代入し（S 5 0）、パラメータ i の代入値をアドレスとして、対応する代替領域の管理情報を第 1 読み出しで読み出す（S 5 1）。読み出した管理情報からそのブロックが空きブロックかを前記識別コードに基づいて判別し（S 5 2）、空きであれば代替先有りを応答する（S 5 3）。空きブロックがなければ、パラメータ i を + 1 し（S 5 4）、その i の値で示されるアドレスが代替領域の範囲であるかを判別し（S 5 5）、範囲外となっていれば代替先無しを応答する（S 5 6）。範囲外でなければステップ S 5 1 に戻って検索を続ける。

【 0 0 5 7 】

代替先検索処理における管理情報の読み出しは第 1 読み出しで行なわれる。図 5 の径路 P A 1 で読み出しデータの出力が行なわれる。したがってその管理情報読み出しではフラッシュメモリ 3 のメモリバッファ部 2 0 は利用されず、代替先検索処理の前にメモリバッファ部 2 0 に先に格納されている書き込みデータは破壊されずにそのまま残る。したがって、代替先を検索するために、メモリバッファ部内の書き込みデータをコントローラ 2 のコントローラバッファ部 1 4 に退避することを要しない。

【 0 0 5 8 】

図 1 5 には前記代替処理 R 2 の一例が示される。まず、前記代替先検索処理 R 1 の後、代替先があるかの判別が行なわれる (S 6 0)。代替先有りとは図 1 4 の代替先有りの応答 (S 5 3) が得られることであり、代替先無しとは図 1 4 の代替先無しの応答 (S 5 6) が得られることである。代替先無しであればエラー応答が返される (S 6 7)。代替先が有れば、当該代替先である空きブロックにメモリバッファ内のデータを書き込む処理が行なわれる (S 6 1, S 6 2)。書き込み処理の前に当該空きブロックは消去処理されている。書き込み処理の結果が判別される (S 6 3)。書き込み処理が正常終了されていれば、代替先登録テーブルが更新され (S 6 4)、正常終了の応答 (正常応答) が返される。書き込みエラーがあった場合には、その書き込みエラーに対して前記代替処理 R 2 が行なわれる。

【 0 0 5 9 】

上記代替処理 R 2 より明らかなように、代替先検索処理 R 1 にて代替先を検索した後、フラッシュメモリ 3 のメモリバッファ部 2 0 に格納されているデータを、代替先に書き込む事ができる (S 6 1)。要するに、代替処理 R 2 では、コントローラ 2 のコントローラバッファ部 1 4 から書き込みデータを再度転送してもらう必要がない。

【 0 0 6 0 】

図 1 6 にはホスト装置がメモ리카ード 1 にデータを書き込むホスト・ライトのタイミングが例示される。ホスト装置はコントローラ 2 に書き込みを指示し、セ

クタ単位での書き込みデータを転送する。第16図ではホスト装置がセクタ0、セクタ1の書き込みデータをコントローラ2に転送し（Th0a, Th0b）、コントローラ2のコントローラバッファ部14に格納される。このとき、コントローラ2はホスト装置からの書き込み指示に応答して予めフラッシュメモリ3に対しセクタ0, 1の対応ブロックの検索処理（Sf0）と検索されたブロックに対する消去処理（Ef0）を実行させる。コントローラバッファ部14に格納されたセクタ0、セクタ1の書き込みデータはコントローラ2からフラッシュメモリ3に転送され（Tc0a, Tc0b）、フラッシュメモリ3のメモリバッファ部20に格納される。この後、フラッシュメモリ3は、前記検索処理と消去処理を経たブロックにメモリバッファ部20に格納されたセクタ0, 1のデータを書き込み処理する（Wf0）。この書き込み処理（Wf0）に並行してホスト装置はコントローラ2に次のセクタ2, 3の書き込みデータを転送する（Th1a, Th1b）。フラッシュメモリ3の書き込み処理中にはコントローラバッファ部14は当該書き込みに利用されずに空いているからである。フラッシュメモリ3において前記書き込み処理（Wf0）が終了した後、コントローラバッファ部14に格納されたセクタ2、セクタ3の書き込みデータはコントローラ2からフラッシュメモリ3に転送され（Tc1a, Tc1b）、フラッシュメモリ3のメモリバッファ部20に格納される。この転送に並行して、コントローラ2は予めフラッシュメモリ3に対しセクタ2, 3の対応ブロックの検索処理（Sf1）と検索されたブロックに対する消去処理（Ef1）を実行させる。この後、フラッシュメモリ3は、前記検索処理と消去処理を経たブロックにメモリバッファ部20に格納されたセクタ2, 3のデータを書き込み処理する。

【0061】

図16のホスト・ライトタイミングより明らかなように、フラッシュメモリの不揮発性メモリセルに書き込みデータを書き込み処理中に、ホスト装置からコントローラ2のコントローラバッファ部14に次の書き込みデータの転送を並行して行なうことが可能である。前述のようにフラッシュメモリ3で書き込みエラーが発生しても、代替検索処理によってメモリバッファ部20の書き込みデータが破壊されないから、コントローラバッファ部14の容量を増加させることなく、上記書

き込み処理と次書込みデータの転送処理とを並行させることができる。

【 0 0 6 2 】

以上説明したメモリカード 1 によれば以下の作用効果を得る。

【 0 0 6 3 】

〔 1 〕 フラッシュメモリ 3 は、不揮発性メモリセル MC に 4 種類の閾値電圧分布のうち 1 の分布に含まれる閾値電圧を設定可能にされ、前記閾値電圧が設定された不揮発性メモリセル MC から読み出した情報を 1 ビット情報として出力する第 1 読み出しと、前記閾値電圧が設定された前記不揮発性メモリセル MC から読み出した情報を 2 ビット情報として出力する第 2 読み出しとが可能にされる。コントローラ 2 は、前記フラッシュメモリ 3 から第 1 情報例えば前記管理情報又はシステムデータ領域の記憶情報を読み出すときは前記第 1 読み出しを行い、前記不揮発性メモリから第 2 情報例えばセクタデータや代替先登録テーブルを読み出すときは第 2 読み出しを行う。4 種類の閾値電圧分布のうち 1 の分布に含まれる閾値電圧が設定された前記不揮発性メモリセル MC から読み出した情報を 1 ビット情報として出力する第 1 読み出しは、前記不揮発性メモリセル MC から読み出した情報を 2 ビット情報として出力する第 2 読み出しに比べ、不揮発性メモリセル MC の閾値電圧判定動作回数が少なくなり、その分だけ読み出し動作を高速化できる。第 2 読み出し対象とされる第 2 情報はデータ部のセクタデータ等とされ、第 1 読み出し対象とされる第 1 情報は管理情報等とされるとき、ホスト装置からのリード／ライト時の管理情報リード時間を短縮でき、ホスト装置によるメモリカード 1 のリード／ライトの高速化が可能となる。

【 0 0 6 4 】

〔 2 〕 前記フラッシュメモリ 3 は、前記不揮発性メモリセル MC に前記第 1 情報を格納するとき、当該不揮発性メモリセル MC の閾値電圧を、上限の前記閾値電圧分布（“ 0 1 ” 領域）の電圧と下限の閾値電圧分布（“ 1 1 ” 領域）の電圧とから選ばれた一方の電圧とする。したがって、情報記憶に用いる閾値電圧分布の間に情報記憶に直接用いない閾値電圧分布領域が介在されることになり、第 1 情報の記憶領域とされるシステムデータ領域に対して経年変化などによるリテンションエラー耐性を向上させることができる。これにより、システムデータ領域

等における情報記憶の信頼性を向上することができる。

【 0 0 6 5 】

〔 3 〕 フラッシュメモリ 3 は不揮発性メモリセル MC に対する書き込み処理及び第 2 読み出しに利用されるメモリバッファ部 2 0 を有し、第 1 読み出しで複数の不揮発性メモリセルからそれぞれ 1 ビット情報として読み出された管理情報などの第 1 情報は前記メモリバッファ部 2 0 を迂回して前記コントローラ 2 に出力する。 2 ビット情報としてリードするときは、フラッシュメモリ 3 内のメモリバッファ部 2 0 を使用しない。したがって、フラッシュメモリ 3 へのデータ書き込み時に書き込みエラーが発生した場合、フラッシュメモリ 3 のメモリバッファ部 2 0 に書き込みデータを保持したまま、 1 ビット情報としてのリード動作で代替先を検索することが可能になる。これにより、書き込みデータをメモリバッファ部 2 0 からコントローラ 2 のバッファ 1 4 に退避する処理を行なう必要がなく、書き込みエラー発生時に代替領域を検索する処理を迅速に行なうことができ、しかも、コントローラ 2 のバッファ 1 4 の容量を抑えることができる。

【 0 0 6 6 】

〔 4 〕 上記より、フラッシュメモリ 3 を搭載したメモリカード 1 のデータ転送高速化及び信頼性向上を実現することができる。

【 0 0 6 7 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 6 8 】

例えばフラッシュメモリは、 4 値データをリードするときに用いるメモリバッファ 2 0 に S R A M を用いるが、これに限定されず、メモリバッファ部はスタティックラッチを複数段並列させたラッチ回路で構成してもよい。

【 0 0 6 9 】

この例の不揮発性メモリは 4 値データを格納することができるが、 4 値以上の多値データを格納する不揮発性メモリを搭載するメモリカードであってもよい。メモリカードに搭載するフラッシュメモリの数は 1 個に限定されず複数個であっ

てもよい。

【 0 0 7 0 】

また、多値フラッシュメモリの記憶形式は記憶情報の値に応じて順次閾値電圧を相違させる場合に限定されず、メモリセルにおいて電荷を保持する場所を局所的に変更して多値で情報記憶を行なう電荷トラップ膜（窒化シリコン膜）を利用するメモリセル構造を採用してもよい。更に不揮発性メモリセルとして高誘電体メモリセル等のその他の記憶形式を採用する事も可能である。また、不揮発性メモリセルに対する書込みデータと保持情報との関係も図 3 に限定されず適宜変更可能である。

【 0 0 7 1 】

また本発明はアドレス／データ両方がマルチプレクスされて I / O 端子に入力されるものだけではなく、アドレスを入力するためのアドレス端子を有するものであってもよい。アドレス端子から入力されたアドレスに従ってバッファメモリへのアクセス又はフラッシュメモリアレイへのアクセスのいずれかを指定するコマンドを有するようにしても良い。

【 0 0 7 2 】

また、第 1 情報と第 2 情報の具体的な種類は上記説明に限定されず、不揮発性記憶装置の種類などに応じて適宜変可能である。本発明を IC カード用マイクロコンピュータに適用する場合、IC カードのユーザ ID 情報等を第 1 情報として処理してもよい。

【 0 0 7 3 】

本発明は、フラッシュメモリカード、マイクロコンピュータ若しくはシステム L S I などによく適用することができる。本発明は P D A (Personal Digital Assistants) や携帯電話機のストレージ媒体等に利用することができる。

【 0 0 7 4 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 7 5 】

不揮発性メモリとコントローラを搭載した不揮発性記憶装置においてリード／ライト速度の性能を向上させることができる。

【 0 0 7 6 】

不揮発性メモリとコントローラを搭載した不揮発性記憶装置において、所要の記憶領域に対して経年変化などによるリテンションエラー耐性を向上させることができる。

【 0 0 7 7 】

不揮発性メモリとコントローラを搭載した不揮発性記憶装置において、不揮発性メモリへのデータ書込み時に書き込みエラーが発生した場合に代替先を検索するために不揮発性メモリセルに対するリード動作を行うとき不揮発性メモリのデータバッファに保持されている書き込みデータの退避を不要にすることができる。

【図面の簡単な説明】

【図 1】

本発明の一例に係るメモリカードを示すブロック図である。

【図 2】

不揮発性メモリセルが採り得る 4 種類の閾値電圧分布の説明図である。

【図 3】

不揮発性メモリセルに対する書込みデータと保持情報との関係を例示する説明図である。

【図 4】

メモリカードのフラッシュメモリに対するライト動作を例示する説明図である。

【図 5】

メモリカードのフラッシュメモリに対するリード動作を例示する説明図である。

【図 6】

フラッシュメモリのメモリアレイにおける管理情報領域などの記憶領域の構成を例示する説明図である。

【図 7】

代替先登録テーブルの詳細を例示する説明図である。

【図 8】

管理情報の詳細を例示する説明図である。

【図 9】

ホスト・リードの指示に応答するメモリカードのリード動作を例示するフローチャートである。

【図 1 0】

ホスト・ライトの指示に応答するメモリカードのライト動作の前半を例示するフローチャートである。

【図 1 1】

ホスト・ライトの指示に応答するメモリカードのライト動作の後半を例示するフローチャートである。

【図 1 2】

フラッシュメモリのリード動作タイミングを例示するタイミングチャートである。

【図 1 3】

フラッシュメモリのライト動作タイミングを例示するタイミングチャートである。

【図 1 4】

代替検索処理の詳細を例示するフローチャートである。

【図 1 5】

代替処理の詳細を例示するフローチャートである。

【図 1 6】

ホスト装置がメモリカードにデータを書き込むホスト・ライトのタイミングを例示するタイミングチャートである。

【符号の説明】

- 1 メモリカード
- 2 コントローラ

3 フラッシュメモリ

4 カード基板

1 1 C P U

1 4 コントローラバッファ部

2 0 メモリバッファ部

2 1 セン斯拉ッチ回路

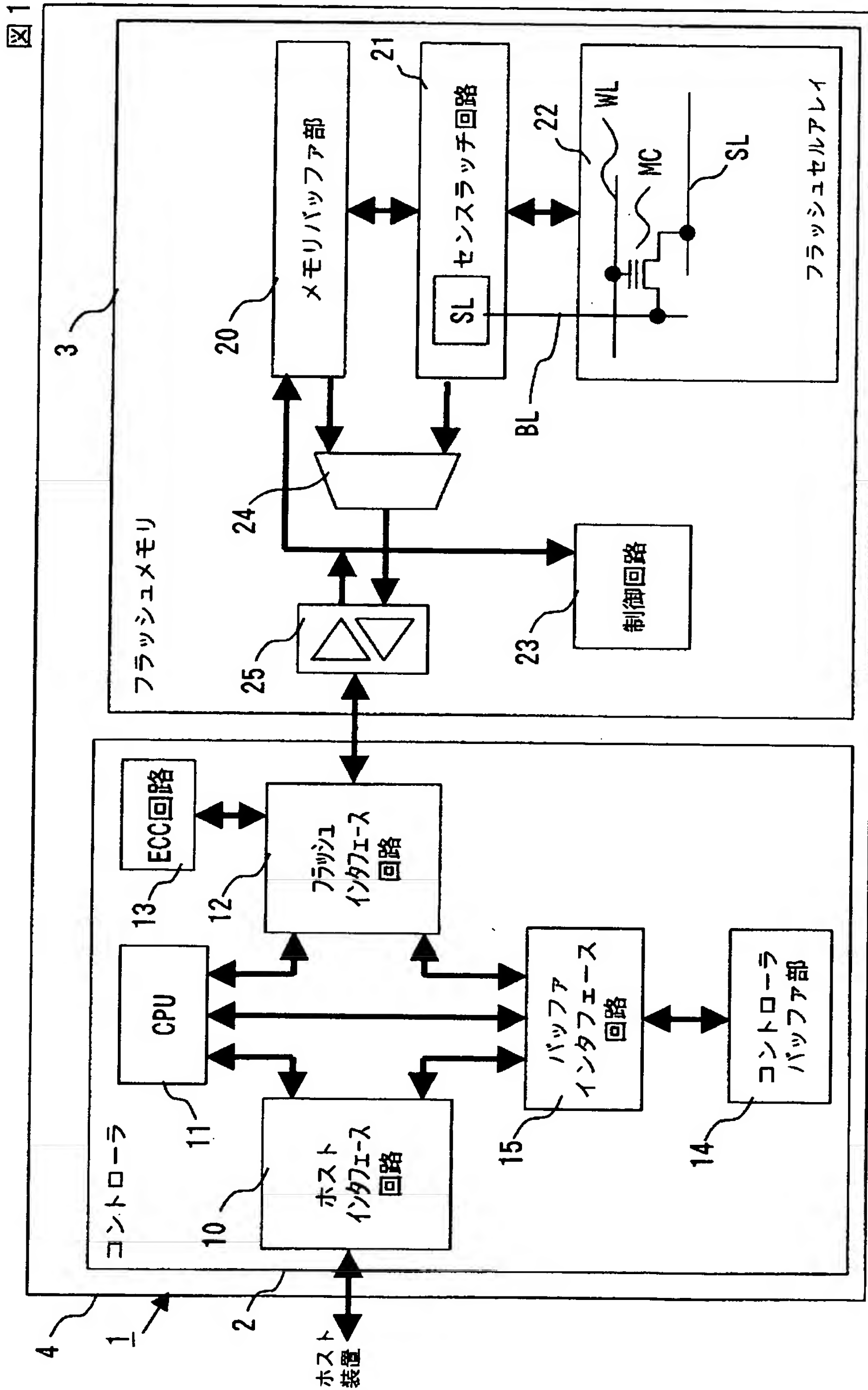
2 2 メモリアレイ

2 3 制御回路

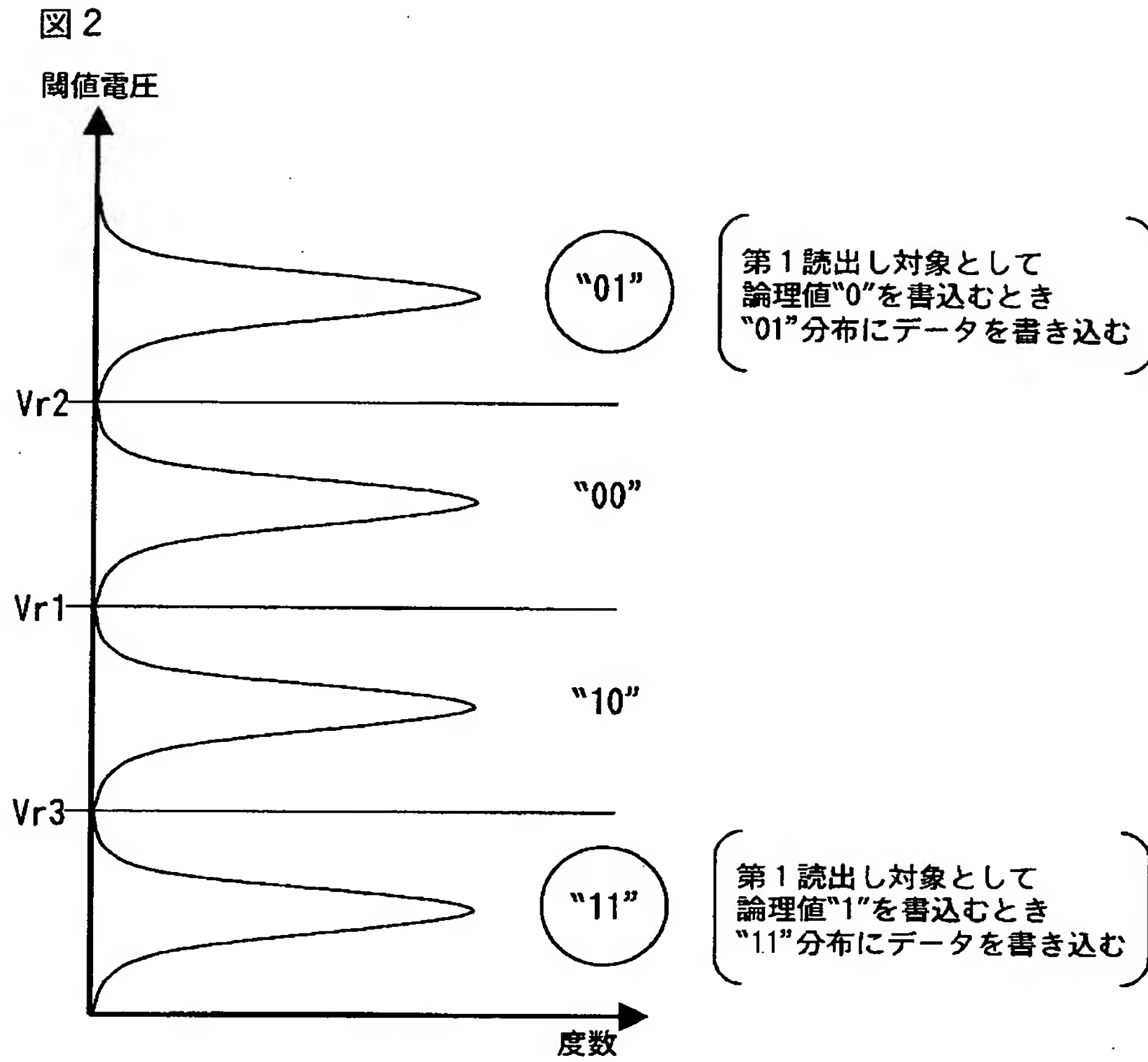
2 4 セレクタ

【書類名】 図面

【図 1】

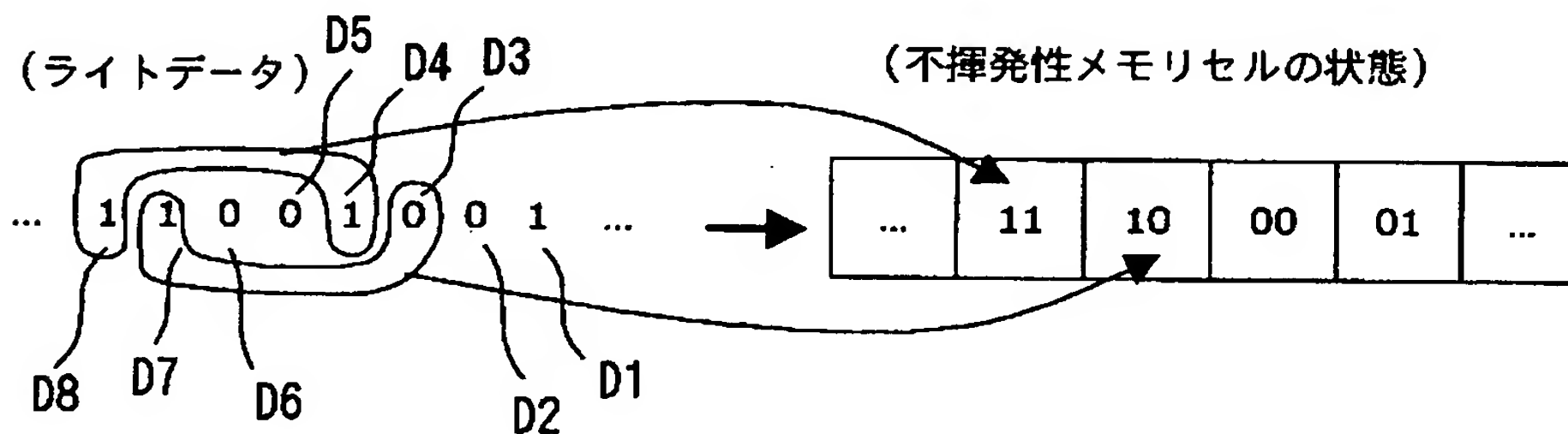


【図 2】



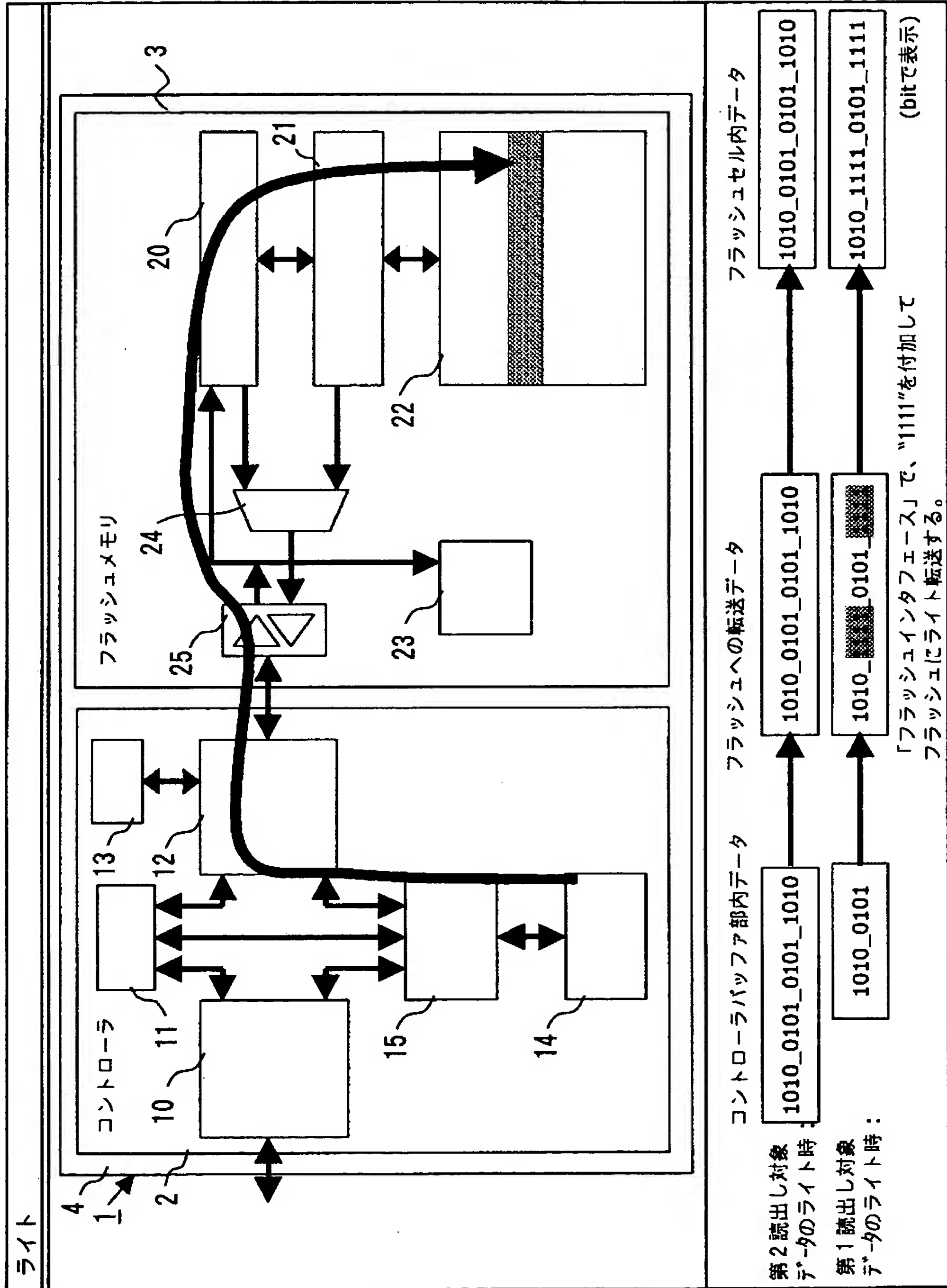
【図 3】

図 3

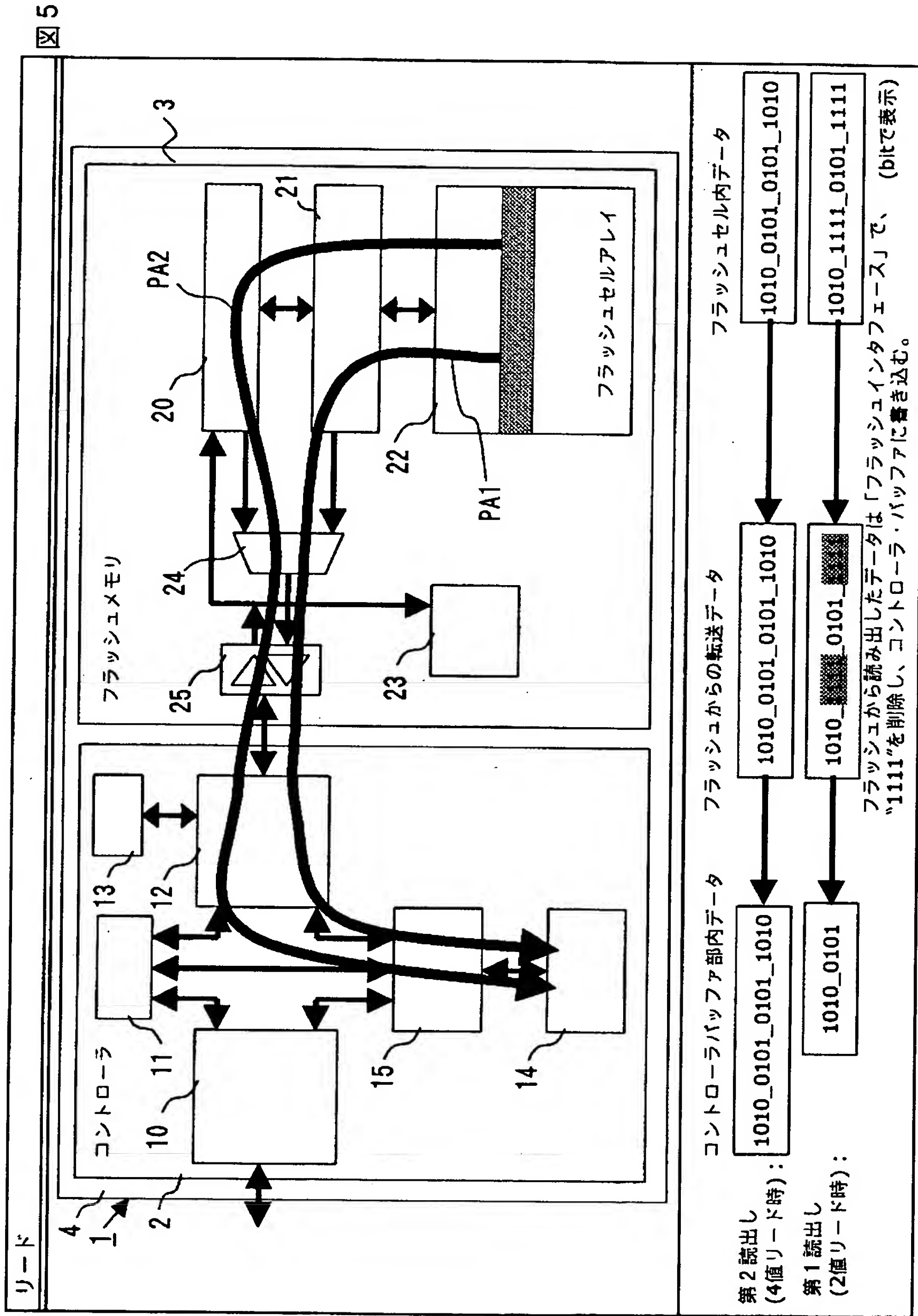


【図 4】

図 4

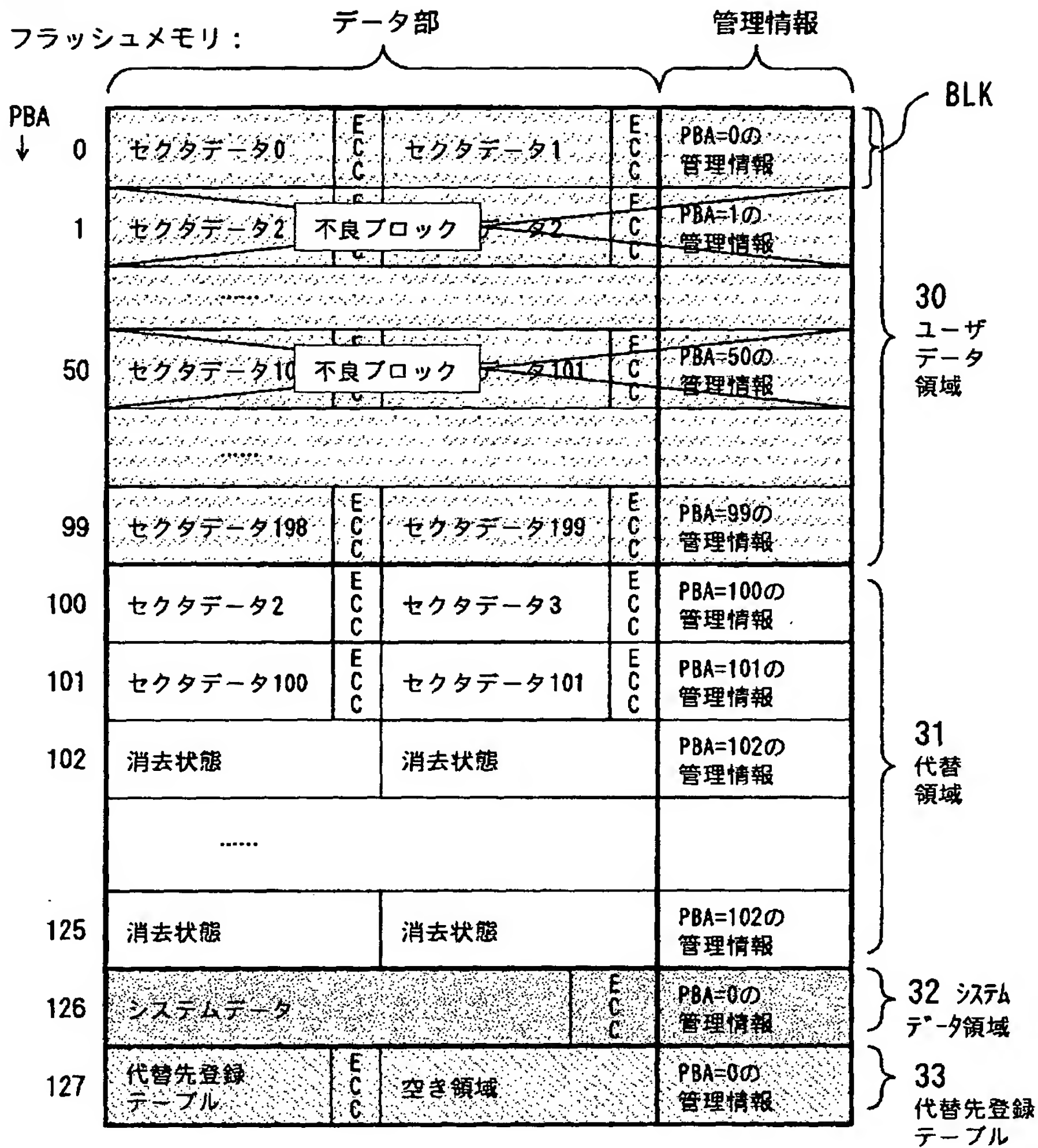


【図5】



【図 6】

図 6



【図 7】

図 7

代替先登録テーブル：

PBA=0の 代替先 (255)	PBA=1の 代替先 (100)	PBA=50の 代替先 (101)	PBA=99の 代替先 (255)	空き	ECC
------------------------	------------------------	-------	-------------------------	-------	-------------------------	----	-----

100バイト

【図 8】

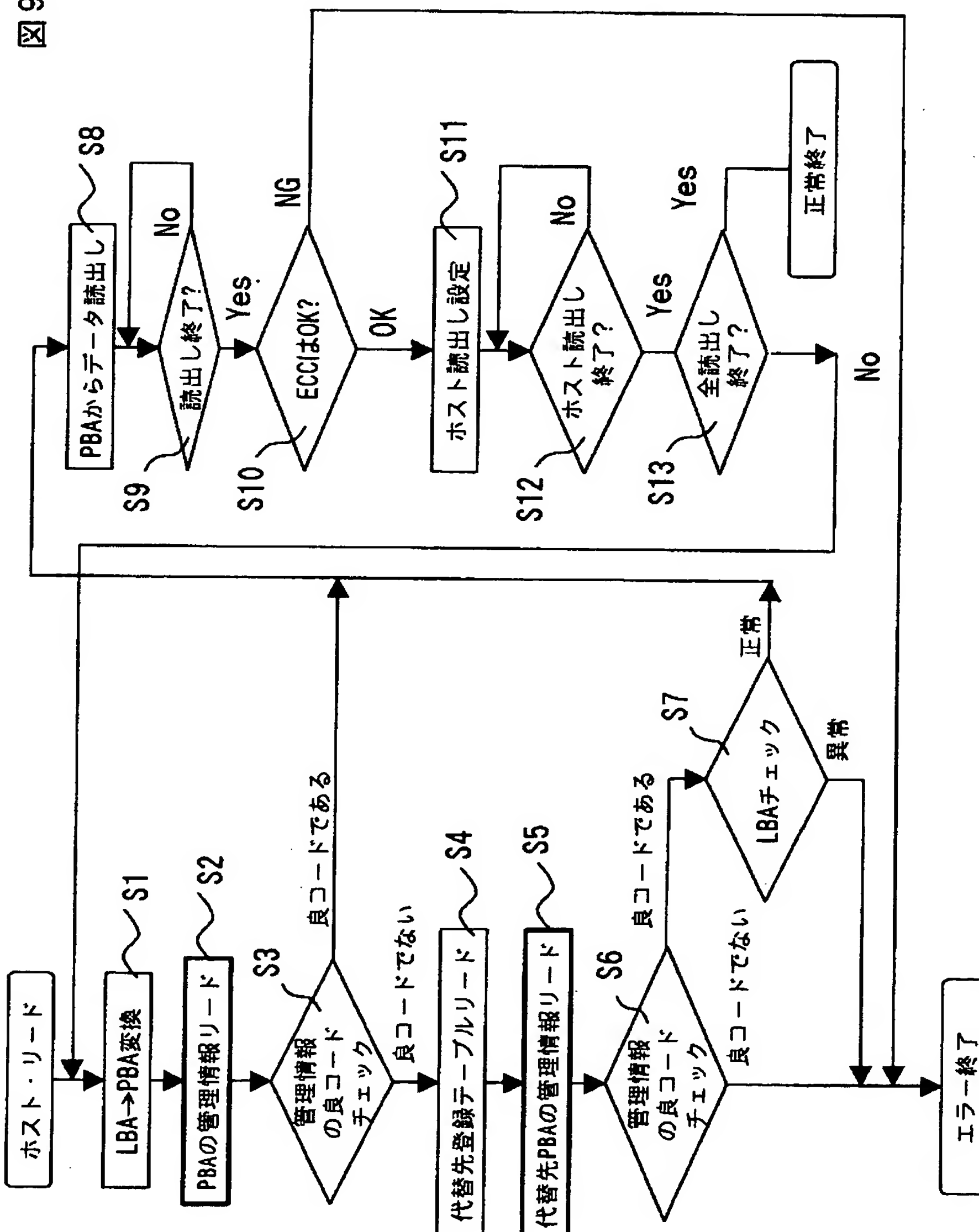
図 8

管理情報：

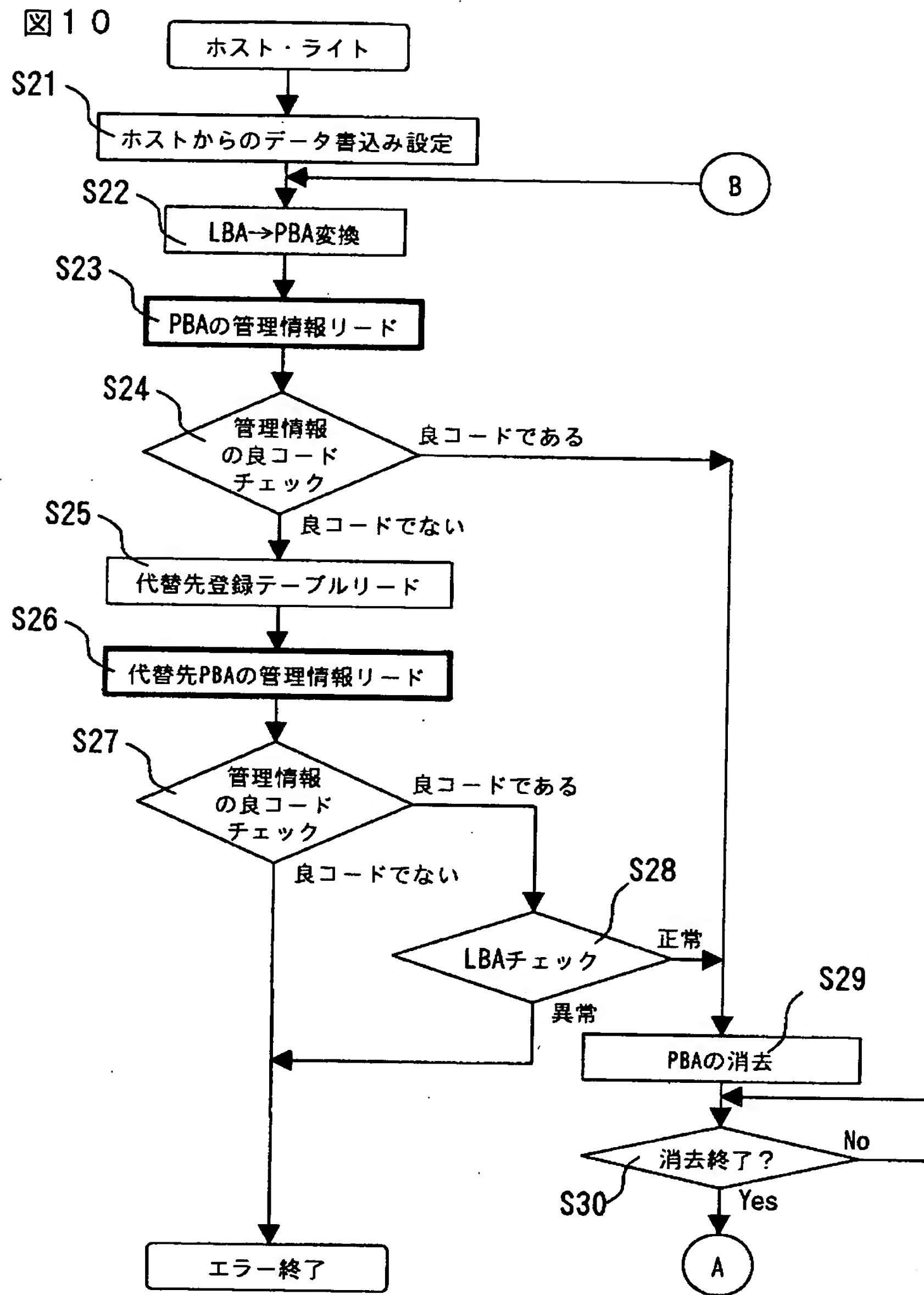
良 コード	識別 コード	LBA	その他	ECC
----------	-----------	-----	-----	-----

【図 9】

図 9

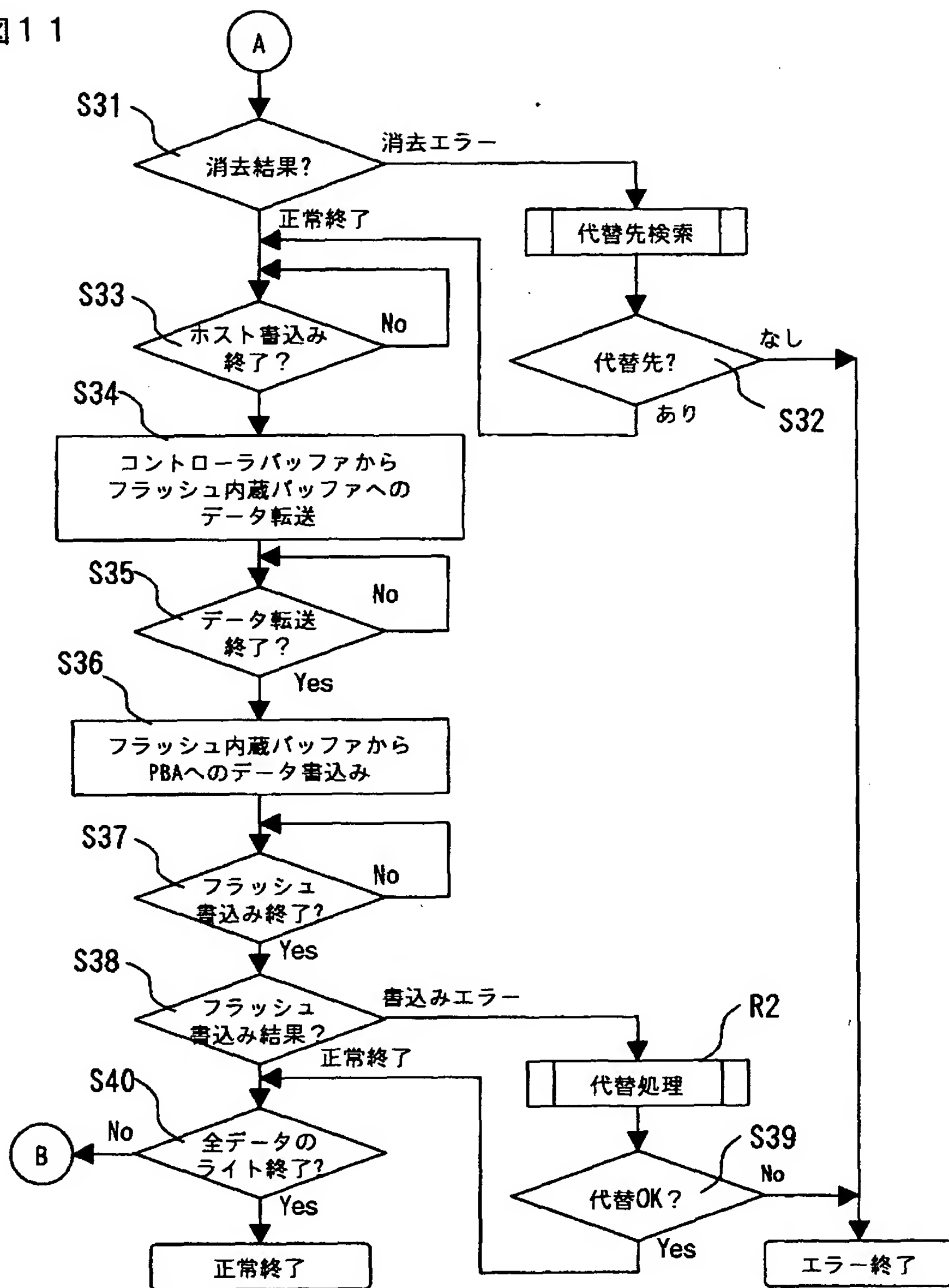


【図 1 0】



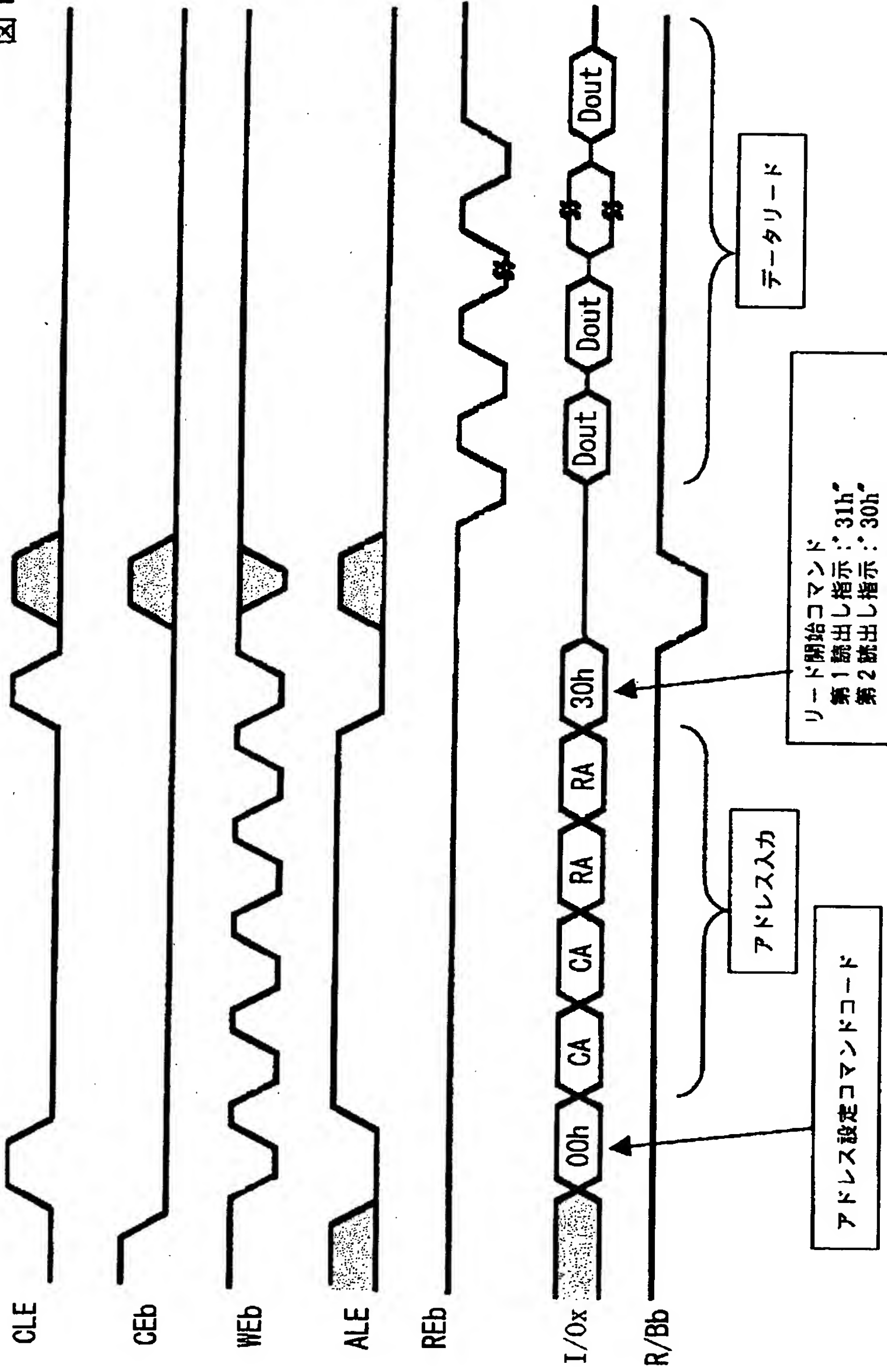
【図 11】

図 11



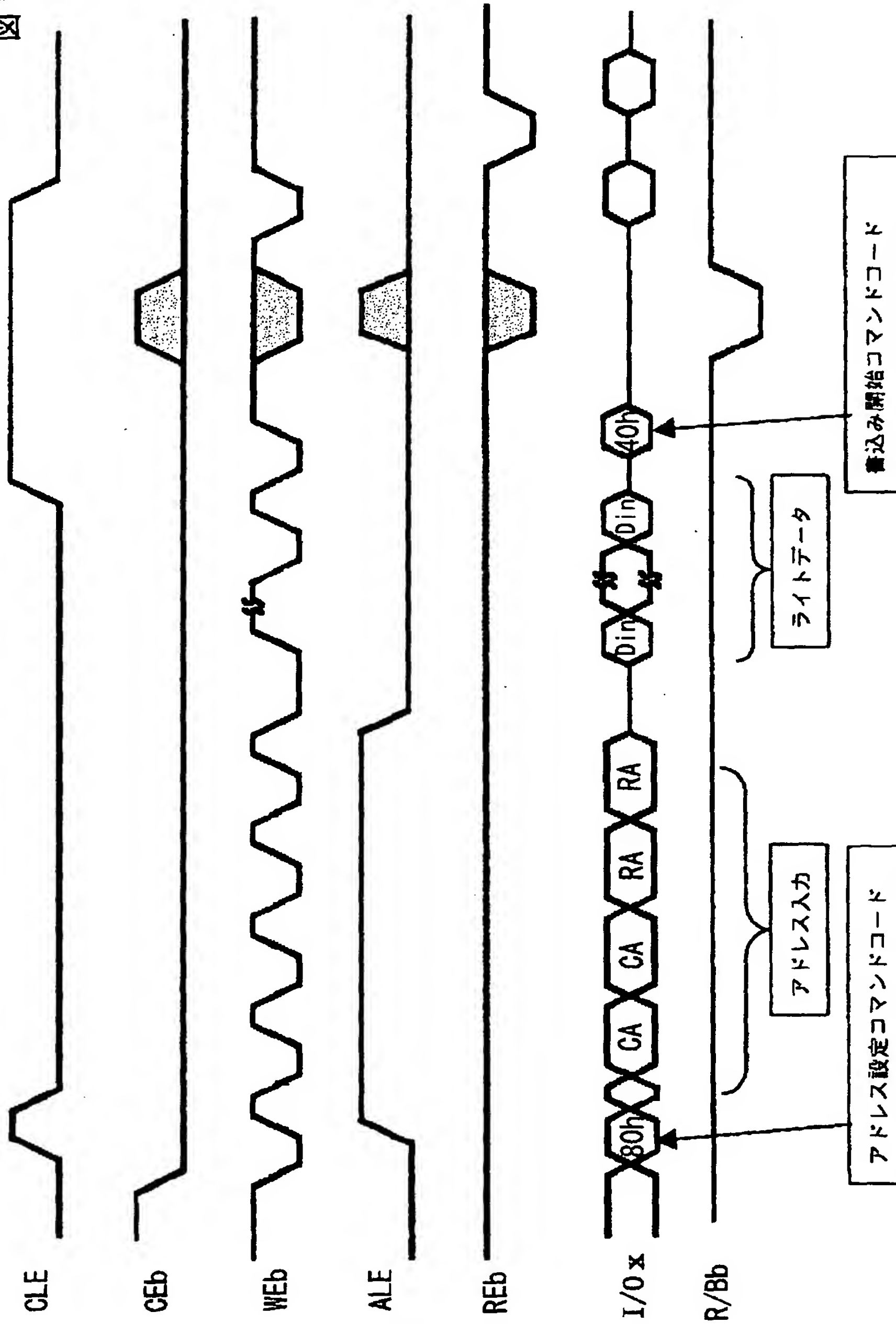
【図 1 2】

図 1 2

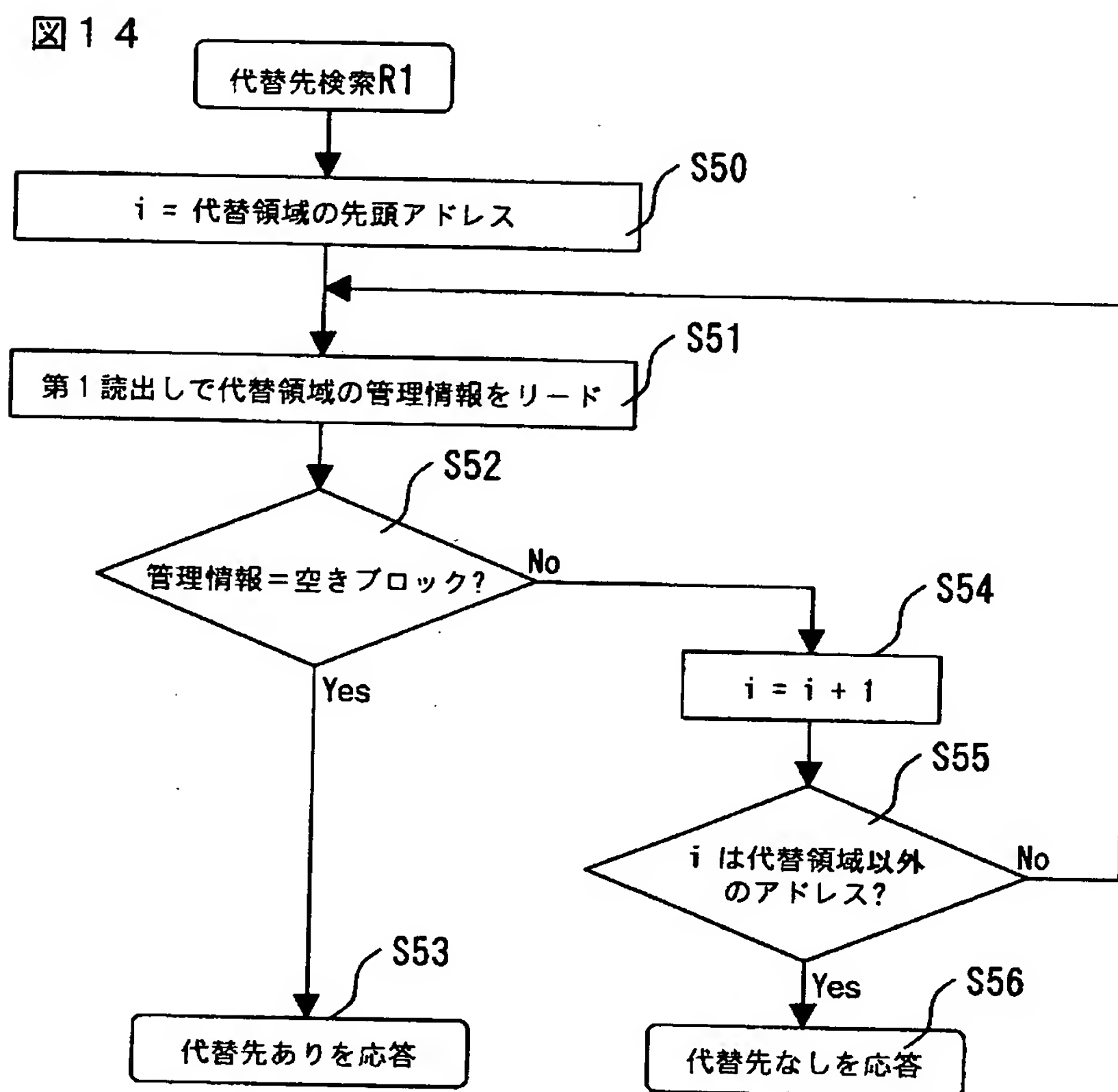


【図 1 3】

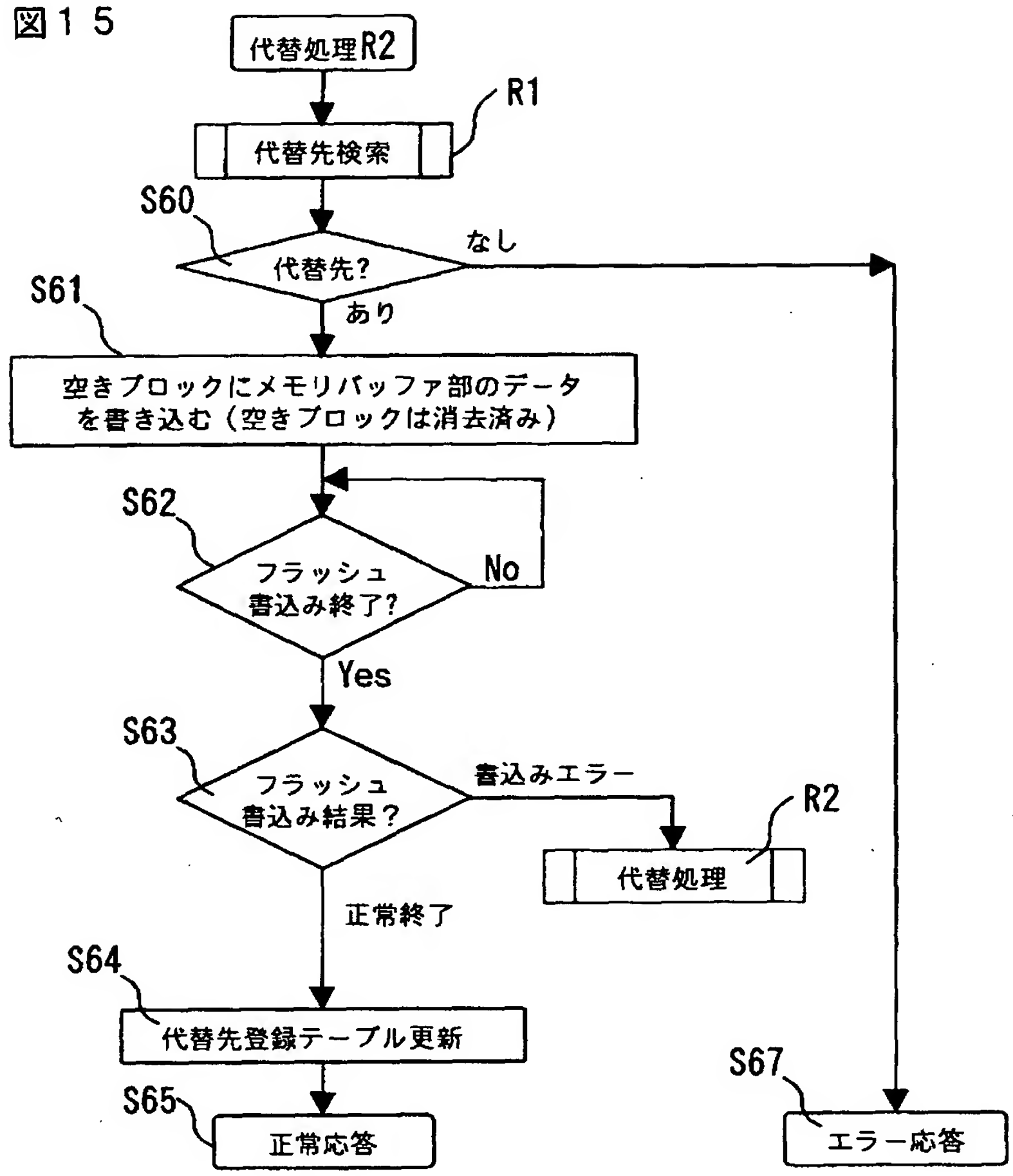
図 1 3



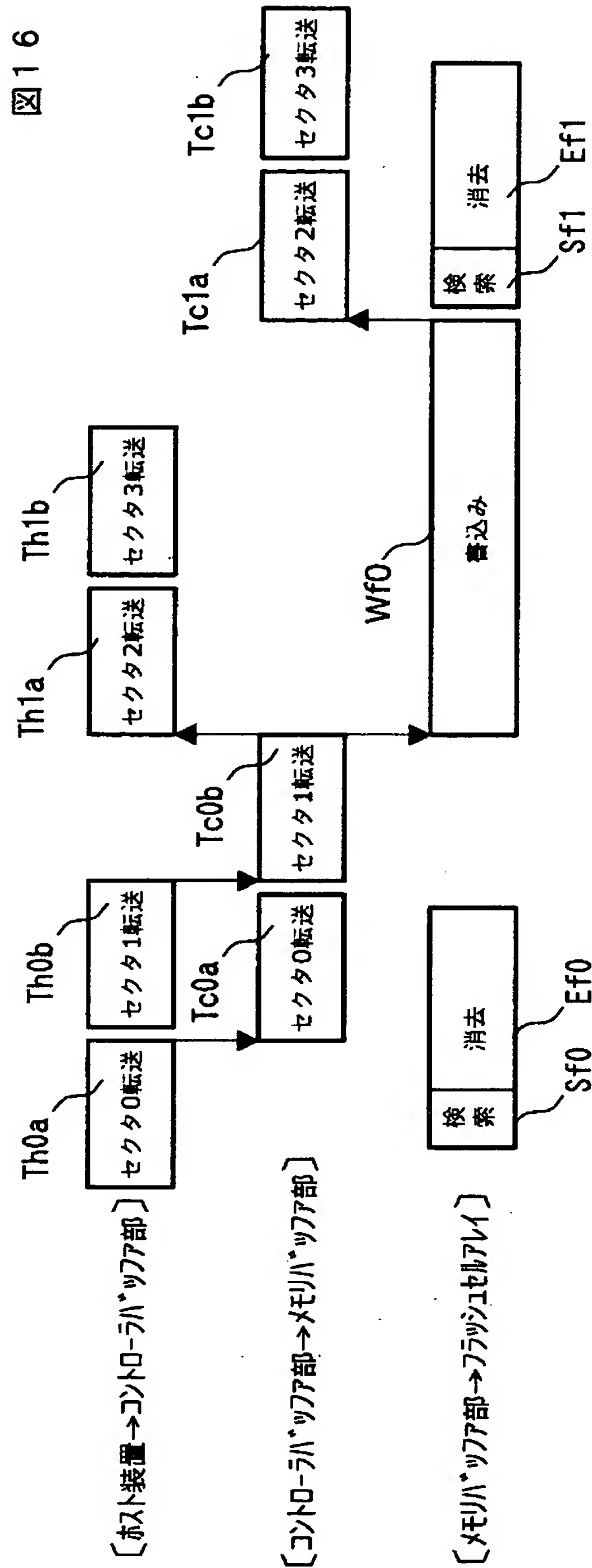
【図 1 4】



【図 1 5】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリとコントローラを搭載した不揮発性記憶装置において、リード／ライト速度の性能を向上、リテンションエラー耐性の向上を実現する。

【解決手段】 不揮発性メモリ（３）は２ビット以上の情報を格納可能にされ、不揮発性メモリセルから読み出した情報を１ビット情報として出力する第１読み出しと、読み出した情報を２ビット情報として出力する第２読み出しとが可能である。コントローラ（２）は、不揮発性メモリから第１情報を読み出すときは第１読み出しを行い、第２情報を読み出すときは第２読み出しを行う。第１読み出しは第２読み出しに比べて読み出し速度を高速化できる。第１読み出し対象領域に対する書き込みでは閾値電圧を上限の閾値電圧分布の電圧と下限の閾値電圧分布の電圧とから選ばれた一方の電圧として、第１情報のリテンションエラー耐性を向上する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地

氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ